

Docket No.: 67161-107

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Kenji KAWAI : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: September 23, 2003 : Examiner:
For: SEMICONDUCTOR DEVICE :

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

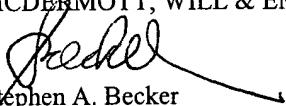
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

Japanese Patent Application No. 2002-314371(P), filed on October 29, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: September 23, 2003

67161-107
Kenji KAWAI

日本国特許庁 September 23, 2003
JAPAN PATENT OFFICE *McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年10月29日

出願番号

Application Number:

特願2002-314371

[ST.10/C]:

[JP2002-314371]

出願人

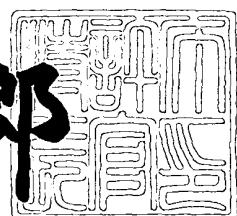
Applicant(s):

三菱電機株式会社

2002年11月26日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3093487

【書類名】 特許願
【整理番号】 540896JP01
【提出日】 平成14年10月29日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/108
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 川井 健治
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平
【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 主表面を有する半導体基板と、

頂面と前記半導体基板に達する孔とを有し、前記半導体基板の前記主表面上に形成された層間絶縁膜と、

側面と、その側面に連なり、かつ前記半導体基板の前記主表面からの距離が前記半導体基板の前記主表面から前記層間絶縁膜の前記頂面までの距離よりも大きい位置に設けられた頂面とを有し、前記孔を充填する導電膜と、

前記導電膜の前記頂面および前記側面に接触する下部電極と、

前記下部電極上に形成された誘電体膜と、

前記誘電体膜上に形成された上部電極とを備える、半導体装置。

【請求項2】 前記導電膜は、前記下部電極に接触して形成され、チタン、タンタル、窒化チタン、窒化タンタル、チタンタングステン、窒化タングステン、窒化チタンタングステン、窒化ジルコニウムおよび酸窒化チタンからなる群より選ばれた少なくとも1種を含むバリアメタル層を含み、前記下部電極は金属を含む、請求項1に記載の半導体装置。

【請求項3】 前記バリアメタル層の一部は、前記孔を充填するように形成されている、請求項2に記載の半導体装置。

【請求項4】 前記下部電極と接触する前記導電膜の部分は、凹凸形状を有する、請求項1から3のいずれか1項に記載の半導体装置。

【請求項5】 前記導電膜は、前記導電膜の前記頂面側に開口された凹部を含み、前記下部電極は、前記凹部を充填するように形成されている、請求項1から4のいずれか1項に記載の半導体装置。

【請求項6】 主表面を有する半導体基板と、

頂面と前記半導体基板に達する孔とを有し、前記半導体基板の前記主表面上に形成された層間絶縁膜と、

前記半導体基板の前記主表面からの距離が前記半導体基板の前記主表面から前記層間絶縁膜の前記頂面までの距離よりも大きい位置に設けられた頂面を有し、

前記孔を充填する導電膜と、

前記層間絶縁膜上に形成され、前記導電膜に接触する下部電極と、

前記下部電極上に形成された誘電体膜と、

前記誘電体膜上に形成された上部電極とを備え、

前記導電膜は、前記層間絶縁膜の前記頂面上に形成されたベース部と、そのベース部に連なり、かつ前記半導体基板の前記主表面上から離隔する方向に延在する側壁部とを含み、

前記下部電極は、前記ベース部と前記側壁部とに接触して形成されている、半導体装置。

【請求項7】 前記導電膜は、前記下部電極に接触して形成され、チタン、タンタル、窒化チタン、窒化タンタル、チタンタングステン、窒化タングステン、窒化チタンタングステン、窒化ジルコニウムおよび酸窒化チタンからなる群より選ばれた少なくとも1種を含むバリアメタル層を含み、前記下部電極は金属を含む、請求項6に記載の半導体装置。

【請求項8】 前記バリアメタル層の一部は、前記孔を充填するように形成されている、請求項7に記載の半導体装置。

【請求項9】 前記下部電極と接触する前記導電膜の部分は、凹凸形状を有する、請求項6から8のいずれか1項に記載の半導体装置。

【請求項10】 前記導電膜は、前記下部電極と接触する面に開口された凹部をさらに含み、前記下部電極は、前記凹部を充填するように形成されている、請求項6から9のいずれか1項に記載の半導体装置。

【請求項11】 主表面上に有する半導体基板と、
頂面と前記半導体基板に達する孔とを有し、前記半導体基板の前記主表面上に形成された層間絶縁膜と、

前記孔を充填する導電膜と、

前記層間絶縁膜の前記頂面に沿って延在する横孔とを有し、前記層間絶縁膜上に形成された保持膜と、

前記横孔を充填する鍔状部分とを有し、前記導電膜に接触する下部電極と、

前記下部電極上に形成された誘電体膜と、

前記誘電体膜上に形成された上部電極とを備える、半導体装置。

【請求項12】 前記横孔は、前記半導体基板の前記主表面からの距離が前記半導体基板の前記主表面から前記層間絶縁膜の前記頂面までの距離よりも小さい位置に設けられている、請求項11に記載の半導体装置。

【請求項13】 主表面を有する半導体基板と、

頂面と前記半導体基板に達する複数の孔とを有し、前記半導体基板の前記主表面上に形成された層間絶縁膜と、

前記孔の各々を充填する第1および第2の導電膜と、

前記層間絶縁膜の前記頂面から離隔するように延在し、かつ頂面が設けられる部分を有し、前記第1および第2の導電膜に接触して形成された第1および第2の下部電極と、

前記第1の下部電極に接続される一方端と、前記第2の下部電極に接続される他方端とを有し、前記部分の前記頂面側に形成された絶縁膜と、

前記第1および第2の下部電極上に形成された誘電体膜と、

前記誘電体膜上に形成された上部電極とを備える、半導体装置。

【請求項14】 前記絶縁膜は頂面を有し、前記絶縁膜の前記頂面と前記部分の前記頂面とは、ほぼ同一平面にある、請求項13に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、一般的には、半導体装置に関するものであり、より特定的には、キャパシタを備える半導体装置に関するものである。

【0002】

【従来の技術】

近年、半導体装置、特にDRAM (dynamic random-access memory) の構造の微細化に伴い、メモリセルの投影面積に対して実際のキャパシタの有効面積を大きくできる円筒型キャパシタ構造が多用されている。この円筒型キャパシタ構造は、円筒状に形成された下部電極と、下部電極の表面を覆う誘電体膜および上部電極とを備える積層構造を有する。このような円筒型キャパシタ構造を有する半

導体装置は、たとえば特開2002-76141号公報に従来の技術として開示されている（特許文献1。）。

【0003】

特許文献1に開示されている従来の半導体装置は、半導体基板と、半導体基板上に形成され、半導体基板の主表面に達するコンタクトホールを有する層間絶縁膜と、コンタクトホールの一部を充填するプラグポリシリコン膜と、コンタクトホールの残りの部分を充填するバリヤー金属膜と、層間絶縁膜の頂面上にバリヤー金属膜と接触して形成された円筒状の下部電極と、下部電極上に形成されたTaON膜と、TaON膜上に形成された上部電極とを備える。下部電極は、ルテニウム（Ru）から形成されている。下部電極、TaON膜および上部電極によってキャパシタを構成している。バリヤー金属膜は、バリヤー金属膜の頂面と層間絶縁膜の頂面とが同一平面となるように形成されている。

【0004】

続いて、上述の半導体装置の製造方法について説明する。半導体基板上の層間絶縁膜に半導体基板の主表面の一部を露出させるコンタクトホールを形成する。コンタクトホールに、プラグポリシリコンとバリヤー金属膜としてのチタン（Ti）／窒化チタン（TiN）が積層された金属膜とを順次埋めこむ。層間絶縁膜の頂面とバリヤー金属膜の頂面とを覆うキャップオキシド膜を蒸着する。キャパシタ領域を限定するため、バリヤー金属膜の頂面と層間絶縁膜の頂面の一部とが露出するようにキャップオキシド膜をパターニングする。

【0005】

パターニングされたキャップオキシド膜の全面に下部電極としてのルテニウム膜を蒸着する。キャップオキシド膜の頂面が露出するように化学的機械研磨法（CMP；Chemical Mechanical Polishing）を用いてルテニウム膜を研磨する。これにより、ルテニウムからなる円筒状の下部電極が形成される。キャップオキシド膜を除去する。下部電極上に誘電率に優れたTaON膜を形成する。TaON膜上に上部電極を形成する。

【0006】

【特許文献1】

特開2002-76141号公報

【0007】

【特許文献2】

特開平7-29994号公報

【0008】

【特許文献3】

特開平7-74325号公報

【0009】

【特許文献4】

特開平4-357861号公報

【0010】

【発明が解決しようとする課題】

このような円筒型キャパシタを有する半導体装置において、さらなる半導体装置の微細化を実現するためには、キャパシタの高さを高くしてキャパシタ容量を確保する必要が生じる。このため、キャパシタのアスペクト比は増大する傾向にあり、下部電極は高くて細い形状に形成される。

【0011】

しかし、下部電極が細い形状に形成されると、下部電極とバリヤー金属膜および層間絶縁膜との接触面積が縮小し両者の密着性が低下する。このため、上述の下部電極を形成しキャップオキシド膜を除去する工程から、下部電極上にTaON膜と上部電極とを順次形成する工程までにかけて、下部電極がバリヤー金属膜の頂面および層間絶縁膜の頂面から剥がれて倒れるおそれがある。

【0012】

また、キャパシタ容量を向上させることを目的として、下部電極には金属が使用されている。しかし、ポリシリコン同士の密着性と比較して、ポリシリコンと金属との密着性は低下する。このため、バリヤー金属膜を使用せずプラグポリシリコン膜上に直接ルテニウムからなる下部電極を形成した場合には、下部電極が倒れるおそれがより一層増大する。そして、このように下部電極が半導体装置の製造工程中に倒れると、キャパシタ動作の不良または隣接するキャパシタ間のシ

ヨートの原因となったり、下部電極が異物となって半導体装置に悪影響を与えるという問題が発生する。

【0013】

そこでこの発明の目的は、上記の課題を解決することであり、半導体装置の微細化を実現するとともに、所望のキャパシタ構造を得ることによって信頼性の高い半導体装置を提供することである。

【0014】

【課題を解決するための手段】

この発明に従った半導体装置は、主表面を有する半導体基板と、頂面と半導体基板に達する孔とを有し、半導体基板の主表面上に形成された層間絶縁膜と、側面と、その側面に連なる頂面とを有し、孔を充填する導電膜と、導電膜の頂面および側面に接触する下部電極と、下部電極上に形成された誘電体膜と、誘電体膜上に形成された上部電極とを備える。導電膜が有する頂面は、半導体基板の主表面からの距離が半導体基板の主表面から層間絶縁膜の頂面までの距離よりも大きい位置に設けられている。

【0015】

【発明の実施の形態】

この発明の実施の形態について、図面を参照して説明する。

【0016】

(実施の形態1)

図1は、この発明の実施の形態1における半導体装置を示す断面図である。図1を参照して、半導体装置は、円筒形状に形成された下部電極13と、下部電極13の表面に沿って形成された誘電体膜14と、誘電体膜14を覆うように形成された上部電極15とから構成される円筒型キャパシタを備える。

【0017】

シリコン基板1の主表面1a上には、シリコン酸化膜からなるゲート絶縁膜3aおよび3bを介してゲート電極4aおよび4bが所定の間隔を隔てて形成されている。ゲート電極4aおよび4bは、下から順にポリシリコン/タンゲステンシリサイド(WSi)が成膜された積層膜から形成されている。ゲート電極4a

および4 bを、ポリシリコン／窒化タンゲステン(WN)／タンゲステン(W)、またはポリシリコン／窒化チタン(TiN)／タンゲステンの積層膜から形成しても良い。ゲート電極4 aおよび4 bの間に位置するシリコン基板1の主表面1 aには、n型の不純物領域2が形成されている。ゲート電極4 aおよび4 bの頂面上には、シリコン窒化膜からなる絶縁膜マスク5 aおよび5 bが形成されている。

【0018】

層間絶縁膜6が、シリコン基板1の主表面1 aと絶縁膜マスク5 aおよび5 bの頂面とを覆うように形成されている。層間絶縁膜6は、シリコン酸化膜からなり、たとえばTEOS (Tetra Ethyl Ortho Silicate)／BPTEOS (Boro Phospho Tetra Ethyl Ortho Silicate)／TEOSが下から順に積層されている。層間絶縁膜6には、不純物領域2に達するコンタクトホール7が形成されている。コンタクトホール7には、ドープトポリシリコンが充填されてプラグ電極8が形成されている。プラグ電極8は、プラグ電極8の頂面と層間絶縁膜6の頂面6 aとが同一平面となるように形成されている。

【0019】

層間絶縁膜6の頂面6 a上には、窒化タンタル(TaN)からなるバリアメタル膜10が、プラグ電極8と接触して形成されている。バリアメタル膜10は、プラグ電極8の頂面を完全に覆っている。バリアメタル膜10を、チタン(Ti)、タンタル(Ta)、窒化チタン(TiN)、チタンタンゲステン(TiW)、窒化タンゲステン(WN)、窒化チタンタンゲステン(WTiN)、窒化ジルコニウム(ZrN)、または酸窒化チタン(TiON)などから形成しても良い。また、バリアメタル膜10を、下から順にチタン／窒化チタン、チタン／窒化チタン／チタンまたは窒化タンタル／タンタルが堆積された積層膜から形成しても良い。バリアメタル膜10は、シリコン基板1の主表面1 aと平行に位置し、かつ層間絶縁膜6の頂面6 aよりも高く位置する頂面10 aと、頂面10 aから層間絶縁膜6の頂面6 aに向かって延びる側面10 bとを有する。プラグ電極8とバリアメタル膜10とによって導電膜11が構成されている。

【0020】

層間絶縁膜6の頂面6a上には、バリアメタル膜10の側面10bと距離を隔てた位置に開口された孔を有するエッチングストッパ膜12が形成されている。エッチングストッパ膜12は、シリコン窒化膜から形成されている。層間絶縁膜6の頂面6a上には、ルテニウム(Ru)からなる下部電極(ストレージノード)13が形成されている。下部電極13は、バリアメタル膜10の頂面10aおよび側面10bと、層間絶縁膜6の頂面6aの一部とに接触して形成されている。下部電極13は、バリアメタル膜10の側面10bを挟持する形状で設けられている。下部電極13は、上方に開口された円筒形状し、その円筒形状部分は、シリコン基板1の主表面1aから離隔する方向へと延びて形成されている。下部電極13を、白金(Pt)、インジウム(In)、金(Au)、または銀(Ag)などから形成しても良い。

【0021】

下部電極13およびエッチングストッパ膜12を覆うように、 Ta_2O_5 からなる誘電体膜14が形成されている。誘電体膜14を覆うようにルテニウムからなる上部電極(セルプレート)15が形成されている。なお、誘電体膜14を、 SiO_2 、 SiN 、BST((Ba, Sr)TiO₃)、酸化アルミニウム(Al_2O_3)、酸化ハフニウム(HfO₂)、またはチタン酸ジルコニウム酸鉛(PZT)から形成しても良い。また、上部電極15を、窒化チタン(TiN)、白金(Pt)、イリジウム(Ir)、銅(Cu)、銀(Ag)、または金(Au)から形成しても良い。この場合、代表的に言えば、誘電体膜14と上部電極15とは Ta_2O_5/TiN 、BST/Pt、またはPZT/Ptの組合せで使用される。

【0022】

このように下部電極13を金属から形成することによって、下部電極13をポリシリコンから形成する場合と比較して、以下の理由からキャパシタ容量を向上させることができる。つまり、一般的に誘電体膜は酸化膜系からなるため、下部電極にポリシリコンを用いた場合、誘電体膜の成膜時に下部電極の表面が酸化される。この酸化された下部電極の部分は誘電体膜として作用するため、誘電体膜の実効膜厚は厚くなる。キャパシタ容量が誘電体膜の膜厚に反比例することは良く知られており、このためキャパシタ容量は低下する。これに対して下部電極1

3を金属から形成すれば、このような弊害を防止することができる。なお、ルテニウムは酸化物も導電膜であり、白金は酸化されにくいことから、下部電極にルテニウムおよび白金を使用することが特に注目されている。

【0023】

また本実施の形態では、下部電極13とプラグ電極8との間にバリアメタル膜10を介在させている。バリアメタル膜10を設けない場合、下部電極13とプラグ電極8とは直接接触するため、金属とポリシリコンとの反応が問題となる。つまり、金属とポリシリコンとが接触した状態で高温にすると、その界面で反応が起こり金属シリコン（金属シリサイド）が形成される。一般的には、金属がシリコンを吸い上げてポリシリコン（プラグ電極8）に欠陥または空洞が形成される。このように、プラグ電極8の下部電極13との接触面に欠陥または空洞が形成されれば、プラグ電極8と下部電極13との接触面積は縮小し、両者の密着性が低下することとなる。さらに、下部電極13とプラグ電極8との間の>Contact抵抗が増加するという問題も発生する。

【0024】

以上のような弊害を防止するために、本実施の形態ではバリアメタル膜10を設けているが、バリアメタル膜10を設けない場合であっても本発明を適用することは可能である。その場合、プラグ電極8をプラグ電極8の頂面が層間絶縁膜6の頂面6aより高い位置に設けられるように形成し、そのプラグ電極8を覆うように下部電極13を形成すれば良い。

【0025】

この発明の実施の形態1に従った半導体装置は、主表面1aを有する半導体基板としてのシリコン基板1と、頂面6aとシリコン基板1に達する孔としての>Contactホール7とを有し、シリコン基板1の主表面1a上に形成された層間絶縁膜6と、側面10bとその側面10bに連なる頂面10aとを有し、>Contactホール7を充填する導電膜11と、導電膜11の頂面10aおよび側面10bに接触する下部電極13と、下部電極13上に形成された誘電体膜14と、誘電体膜14上に形成された上部電極15とを備える。導電膜11が有する頂面10aは、シリコン基板1の主表面1aからの距離がシリコン基板1の主表面1aか

ら層間絶縁膜6の頂面6aまでの距離よりも大きい位置に設けられている。

【0026】

導電膜11は、下部電極13に接触して形成され、チタン、タンタル、窒化チタン、窒化タンタル、チタンタングステン、窒化タングステン、窒化チタンタングステン、窒化ジルコニウムおよび酸窒化チタンからなる群より選ばれた少なくとも1種としての窒化タンタルを含むバリアメタル層としてのバリアメタル膜10を含む。下部電極13は金属としてのルテニウムを含む。

【0027】

なお、本実施の形態では、半導体装置は円筒型キャパシタを備えるが、本発明はこれに限定されるものではない。本発明は、特に、アスペクト比（電極高さ／電極幅）が1以上の下部電極を有する半導体装置に適用される。

【0028】

図2から図9は、図1中に示す半導体装置の製造方法の工程を示す断面図である。図1から図9を用いて、図1中に示す半導体装置の製造方法について説明する。

【0029】

図2を参照して、シリコン基板1の主表面1a上にシリコン酸化膜を膜厚数nm程度で形成する。その上からポリシリコン膜およびタングステンシリサイド膜を順次堆積する。さらにその上からシリコン窒化膜を形成する。所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、シリコン窒化膜にエッチングを行ない、絶縁膜マスク5aおよび5bを形成する。絶縁膜マスク5aおよび5bをマスクとして、ポリシリコン膜およびタングステンシリサイド膜にエッチングを行ない、所定形状のゲート電極4aおよび4bをゲート絶縁膜3を介して形成する。絶縁膜マスク5aおよび5bをマスクとして、シリコン基板1の主表面1aにリンまたはヒ素などの不純物を注入し、n型の不純物領域2を形成する。

【0030】

図3を参照して、シリコン基板1の主表面1aおよび絶縁膜マスク5aおよび5bの頂面を覆うように、TEOS、BPTEOSおよびTEOSを順次堆積し

シリコン酸化膜からなる層間絶縁膜6を形成する。層間絶縁膜6の頂面6a上に所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、層間絶縁膜6にエッチングを行ない、不純物領域2に達するコンタクトホール7を形成する。コンタクトホール7を充填し層間絶縁膜6の頂面6aを覆うように、ドープトポリシリコン膜を堆積する。化学的機械研磨法(CMP)またはエッチバックにより、このドープトポリシリコン膜を層間絶縁膜6の頂面6aが露出するまで除去し、コンタクトホール7にドープトポリシリコン膜を残存させる。これにより、コンタクトホール7にはプラグ電極8が形成される。

【0031】

図4および図5を参照して、バリアメタル膜10を形成するために、層間絶縁膜6の頂面6a上に窒化タンタルからなる金属膜を堆積する。その金属膜上に所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして金属膜にエッチングを行ない、所定形状を有するバリアメタル膜10を形成する。

【0032】

図6を参照して、層間絶縁膜6上にシリコン窒化膜からなるエッティングストップ膜12と、TEOSなどを原料としたシリコン酸化膜からなる層間絶縁膜21とを順次堆積する。その上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、シリコン酸化膜およびシリコン窒化膜にエッチングを行ない、所定形状に開口されたコンタクトホール18を形成する。

【0033】

図7を参照して、下部電極13を形成するために、コンタクトホール18の表面および層間絶縁膜21の頂面21aを覆うようにルテニウムからなる金属膜を堆積する。

【0034】

図8を参照して、化学的機械研磨法、ドライエッティング、またはウェットエッティングにより、ルテニウムからなる金属膜を層間絶縁膜21の頂面21aが露出

するまで除去する。この際ドライエッティングを使用する場合には、 O_2/C_{l_2} ガスを用いたプラズマエッティングを行なう。なお、下部電極13が白金から形成されている場合には、 C_{l_2}/Ar ガスを用いたプラズマエッティングを行なえば良い。また、層間絶縁膜21に形成されたコンタクトホール18に位置する金属膜が除去されないように、金属膜によって規定されている凹部に有機保護膜を埋め込んでも良い。これにより円筒形状を有する下部電極13が形成される。

【0035】

図9を参照して、フッ酸(HF)水溶液を用いたウェットエッティングにより、エッティングストップ膜12上の層間絶縁膜21を除去する。シリコン酸化膜からなる層間絶縁膜21を除去する方法としてウェットエッティングを用いているので、ドライエッティングによる場合と比較して、ルテニウムおよびシリコン窒化膜に対してエッティング選択比を大きくとることができる。これにより、下部電極13およびエッティングストップ膜12に対するダメージを極力抑制することができる。

【0036】

本実施の形態における半導体装置の特徴として、プラグ電極8、バリアメタル膜10および下部電極13のシリコン基板1の主表面1aに平行な面上での断面積(矢印26、矢印27および矢印28の示す長さで表わされる面積)が、プラグ電極8、バリアメタル膜10および下部電極13の順に大きくなる。

【0037】

図1を参照して、下部電極13およびエッティングストップ膜12を覆うように Ta_2O_5 からなる薄膜を堆積し、誘電体膜14を形成する。誘電体膜14を覆うようにルテニウムからなる金属膜を堆積し上部電極15を形成する。以上の工程により、図1中に示す半導体装置が完成する。

【0038】

このように構成された半導体装置によれば、下部電極13は、層間絶縁膜6の頂面6a上に位置する導電膜11を挟持する形状で設けられている。より具体的に言えば、下部電極13は、導電膜11を構成するバリアメタル膜10の側面10bを挟持する形状で設けられている。また、バリアメタル膜10の頂面10a

は層間絶縁膜6の頂面6aよりも高い位置にあるため、シリコン基板1の主表面1aに平行な面上でのバリアメタル膜10の断面積をコンタクトホール7の断面積よりも大きくすることができる。したがって、半導体装置の微細化のためコンタクトホール7の開口面積が制限される場合であっても、下部電極13とバリアメタル膜10との接触面積を増大させることができる。これにより、下部電極13とバリアメタル膜10との密着性は向上する。

【0039】

以上の理由から、半導体装置の製造工程の途中に、下部電極13が層間絶縁膜6の頂面6a上から剥がれて倒れることを防止することができる。これにより、所望のキャパシタ構造を実現し、信頼性の高い半導体装置を提供することができる。また、下部電極13のアスペクト比（電極高さ／電極幅）を大きくすることができるので、半導体装置の微細化を図ることができる。

【0040】

(実施の形態2)

図10は、この発明の実施の形態2における半導体装置を示す断面図である。実施の形態2における半導体装置は、実施の形態1における半導体装置と比較して、導電膜11の構造が異なる。以下において、重複する構造の説明は省略する。

【0041】

図10を参照して、コンタクトホール7には、ドープトポリシリコンなどが充填されてプラグ電極8が形成されている。プラグ電極8は、プラグ電極8の頂面が層間絶縁膜6の頂面6aよりも低くなるように形成されている。プラグ電極8が形成されていないコンタクトホール7の残りの部分を充填するように、窒化タンタルからなるバリアメタル膜10nが形成されている。バリアメタル膜10nは、バリアメタル膜10nの頂面と層間絶縁膜6の頂面6aとが同一平面となるように形成されている。層間絶縁膜6上には、バリアメタル膜10nと接触して、図1中に示すバリアメタル膜10と同一形状を有するバリアメタル膜10mが形成されている。プラグ電極8とバリアメタル膜10nおよび10mとによって導電膜11が構成されている。

【0042】

この発明の実施の形態2に従った半導体装置では、バリアメタル層の一部としてのバリアメタル膜10nは、コンタクトホール7を充填するように形成されている。

【0043】

このように構成された半導体装置によれば、実施の形態1に記載の効果と同様の効果を奏すことができる。加えて、バリアメタル膜10nがコンタクトホール7の一部を充填しているため、バリアメタル膜10nおよび10mが層間絶縁膜6から剥がれてしまうことを防止することができる。

【0044】

(実施の形態3)

図11は、この発明の実施の形態3における半導体装置を示す断面図である。実施の形態3における半導体装置は、実施の形態1における半導体装置と比較して、導電膜11の構造が異なる。以下において、重複する構造の説明は省略する。

【0045】

図11を参照して、コンタクトホール7には、ドープトポリシリコンなどが充填されてプラグ電極8が形成されている。プラグ電極8は、プラグ電極8の頂面が層間絶縁膜6の頂面6aよりも低くなるように形成されている。プラグ電極8の頂面、コンタクトホール7の側壁、および層間絶縁膜6の頂面6aの一部を覆うようにバリアメタル膜10が形成されている。バリアメタル膜10は、層間絶縁膜6の頂面6aよりも高く位置する頂面10aと、頂面10aから層間絶縁膜6の頂面6aに向かって延びる側面10bとを有する。バリアメタル膜10は、頂面10a側に開口された凹部25を有する。プラグ電極8とバリアメタル膜10とによって導電膜11が構成されている。下部電極13は、バリアメタル膜10の頂面10aおよび側面10bと接触し、かつ凹部25を充填するように形成されている。

【0046】

この発明の実施の形態3に従った半導体装置では、導電膜11は、導電膜11

の頂面としての頂面10a側に開口された凹部25を含む。下部電極13は、凹部25を充填するように形成されている。

【0047】

このように構成された半導体装置によれば、実施の形態1に記載の効果と同様の効果を奏すことができる。加えて、バリアメタル膜10は凹部25を備えるため、下部電極13とバリアメタル膜10との接触面積を増大させることができる。これにより、下部電極13とバリアメタル膜10との密着性は向上する。また、下部電極13は、バリアメタル膜10の側面10bおよび頂面10aと凹部25を規定するバリアメタル膜10の表面とによって形成される凹凸形状に嵌め合わされる形態で設けられている。以上の理由から、半導体装置の製造工程の途中に、下部電極13が層間絶縁膜6の頂面6a上から剥がれて倒れることをより確実に防止することができる。

【0048】

(実施の形態4)

図12は、この発明の実施の形態4における半導体装置を示す断面図である。実施の形態4における半導体装置は、実施の形態1における半導体装置と比較して、バリアメタル膜10の構造が異なる。以下において、重複する構造の説明は省略する。

【0049】

図12を参照して、バリアメタル膜10の頂面10aが凹凸形状に形成されている。下部電極13は、バリアメタル膜10の頂面10a上でその凹凸形状と噛み合うように形成されている。

【0050】

この発明の実施の形態4に従った半導体装置では、下部電極13と接触する導電膜11の部分としての頂面10aは凹凸形状を有する。

【0051】

図13から図15は、図12中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態1における半導体装置の製造方法の図2から図4に示す工程の後、図13から図15に示す工程が続く。さらにこの後に、実施の形態1に

における半導体装置の製造方法の図6から図9に示す工程および図1に示す工程が続く。以下において、重複する製造工程の説明は省略する。

【0052】

図13を参照して、バリアメタル膜10を形成するために、層間絶縁膜6の頂面6a上にアモルファス状の窒化タンタルからなる金属膜を堆積する。その金属膜の表面に、その後核となって成長するTa粒子31を付着させる。

【0053】

図14および図15を参照して、アモルファス状の窒化タンタルからなる金属膜を高真空中で加熱する。これにより、金属膜に付着されたTa粒子31は、金属膜のアモルファス部分を侵食しながら結晶成長する。以上の工程により、バリアメタル膜10の頂面10aは凹凸形状に形成される。

【0054】

このように構成された半導体装置によれば、実施の形態1に記載の効果と同様の効果を奏することができる。加えて、バリアメタル膜10の頂面10aは凹凸形状に形成されているため、下部電極13とバリアメタル膜10との接触面積を増大させ、両者の密着性を向上させることができる。これにより、半導体装置の製造工程の途中に、下部電極13が層間絶縁膜6の頂面6a上から剥がれて倒れることをより確実に防止することができる。

【0055】

(実施の形態5)

図16は、この発明の実施の形態5における半導体装置を示す断面図である。実施の形態5における半導体装置は、実施の形態4における半導体装置と比較して、導電膜11の構造が異なる。以下において、重複する構造の説明は省略する。

【0056】

図16を参照して、コンタクトホール7には、ドープトポリシリコンなどが充填されてプラグ電極8が形成されている。プラグ電極8は、プラグ電極8の頂面が層間絶縁膜6の頂面6aよりも低くなるように形成されている。プラグ電極8が形成されていないコンタクトホール7の残りの部分を充填するように、窒化タ

ンタルからなるバリアメタル膜10qが形成されている。バリアメタル膜10qは、バリアメタル膜10qの頂面と層間絶縁膜6の頂面6aとが同一平面となるように形成されている。層間絶縁膜6上には、バリアメタル膜10qと接触して、図12中に示すバリアメタル膜10と同一形状を有するバリアメタル膜10pが形成されている。プラグ電極8とバリアメタル膜10pおよび10qとによって導電膜11が構成されている。

【0057】

このように構成された半導体装置によれば、実施の形態4に記載の効果と同様の効果を奏すことができる。加えて、バリアメタル膜10qがコンタクトホール7の一部を充填しているため、バリアメタル膜10pおよび10qが層間絶縁膜6から剥がれてしまうことを防止することができる。

【0058】

(実施の形態6)

図17は、この発明の実施の形態6における半導体装置を示す断面図である。実施の形態6における半導体装置は、実施の形態1における半導体装置と比較して、導電膜11の構造が異なる。以下において、重複する構造の説明は省略する。

【0059】

図17を参照して、層間絶縁膜6の頂面6a上には、窒化タンタルからなるバリアメタル膜35が、プラグ電極8と接触するように形成されている。バリアメタル膜35は、プラグ電極8の頂面を完全に覆っている。バリアメタル膜35を、実施の形態1におけるバリアメタル膜10と同様にチタンなどから形成しても良い。また、バリアメタル膜35を、下から順にチタン／窒化チタンが堆積された積層膜から形成しても良い。

【0060】

バリアメタル膜35は、シリコン基板1の主表面1aと平行に位置し、かつ層間絶縁膜6の頂面6aよりも高く位置する頂面35aと、頂面35aから層間絶縁膜6の頂面6aに向かって延びる側面35bとを有する。バリアメタル膜35は、頂面35a側に開口された凹部38を有する。凹部38は、シリコン基板1

の主表面1aから凹部38の底面までの距離が、シリコン基板1の主表面1aから層間絶縁膜6の頂面6aまでの距離よりも大きくなるように形成されている。バリアメタル膜35は、層間絶縁膜6の頂面6a上に位置するベース部36と、ベース部36の周縁部から上方に向かって延びる側壁部37とによって構成されている。プラグ電極8とバリアメタル膜35とによって導電膜11が構成されている。

【0061】

下部電極13は、バリアメタル膜35に形成された凹部38に嵌め合わされて形成されている。これにより、下部電極13は、下部電極13の外周面がバリアメタル膜35の側壁部37の内周面によって支持されている。

【0062】

この発明の実施の形態6に従った半導体装置は、主表面1aを有するシリコン基板1と、頂面6aとシリコン基板1に達するコンタクトホール7とを有し、シリコン基板1の主表面1a上に形成された層間絶縁膜6と、シリコン基板1の主表面1aからの距離がシリコン基板1の主表面1aから層間絶縁膜6の頂面6aまでの距離よりも大きい位置に設けられた頂面35aを有し、コンタクトホール7を充填する導電膜11と、層間絶縁膜6上に形成され、導電膜11に接触する下部電極13と、下部電極13上に形成された誘電体膜14と、誘電体膜14上に形成された上部電極15とを備える。導電膜11は、層間絶縁膜6の頂面6a上に形成されたベース部36と、そのベース部36に連なり、かつシリコン基板1の主表面1aから離隔する方向に延在する側壁部37とを含む。下部電極13は、ベース部36と側壁部37とに接触して形成されている。

【0063】

導電膜11は、下部電極13に接触して形成され、チタン、タンタル、窒化チタン、窒化タンタル、チタンタングステン、窒化タングステン、窒化チタンタングステン、窒化ジルコニウムおよび酸窒化チタンからなる群より選ばれた少なくとも1種としての窒化タンタルを含むバリアメタル層としてのバリアメタル膜35を含む。下部電極13は金属としてのルテニウムを含む。

【0064】

なお、本実施の形態では、バリアメタル膜35の凹部38の底面を平坦に形成したが、図12中に示すバリアメタル膜10の頂面10aのように凹凸形状に形成しても良い。この場合、下部電極13と接触する導電膜11の部分は、凹凸形状を有する。

【0065】

図18から図21は、図17中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態1における半導体装置の製造方法の図2および図3に示す工程の後、図18から図21に示す工程が続く。さらにこの後に、実施の形態1における半導体装置の製造方法の図1に示す工程が続く。以下において、重複する製造工程の説明は省略する。

【0066】

図18を参照して、層間絶縁膜6の頂面6a上にシリコン窒化膜からなるエッチングストップ膜12と、TEOSを原料としたシリコン酸化膜からなる層間絶縁膜21とを順次堆積する。その上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、シリコン酸化膜およびシリコン窒化膜にエッチングを行ない、所定形状に開口されたコンタクトホール18を形成する。

【0067】

図19を参照して、バリアメタル膜35および下部電極13を形成するために、コンタクトホール18の表面および層間絶縁膜21の頂面21aを覆うように、窒化タンタルからなる金属膜とルテニウムからなる金属膜とを順次堆積する。

【0068】

図20を参照して、化学的機械研磨法、ドライエッティング、またはウェットエッティングにより、ルテニウムからなる金属膜および窒化タンタルからなる金属膜を層間絶縁膜21の頂面21aが露出するまで除去する。層間絶縁膜21に形成されたコンタクトホール18に位置する金属膜が除去されないように、金属膜によって規定されている凹部に有機保護膜を埋め込んでも良い。これにより、円筒形状を有する下部電極13およびバリアメタル膜35が形成される。

【0069】

図21を参照して、ウェットエッチングによりエッチングストップ膜12上の層間絶縁膜21を除去する。このとき、バリアメタル膜35も同時に除去するが、バリアメタル膜35に下部電極13の外周面を囲む側壁部37が残存するようエッチング条件を調整する。

【0070】

このように構成された半導体装置によれば、下部電極13は、層間絶縁膜6の頂面6a上に位置する導電膜11によって挟持される形状で設けられている。より具体的に言えば、下部電極13は、導電膜11を構成するバリアメタル膜35の側壁部37によって挟持される形状で設けられている。また、バリアメタル膜35の頂面35aは層間絶縁膜6の頂面6aよりも高い位置にあるため、シリコン基板1の主表面1aに平行な面上でのバリアメタル膜35の断面積をコンタクトホール7の断面積よりも大きくすることができる。したがって、半導体装置の微細化のためコンタクトホール7の開口面積が制限される場合であっても、下部電極13とバリアメタル膜35との接触面積を増大させることができる。これにより、下部電極13とバリアメタル膜35との密着性は向上する。

【0071】

以上の理由から、半導体装置の製造工程の途中に、下部電極13が層間絶縁膜6の頂面6a上から剥がれて倒れることを防止することができる。これにより、所望のキャパシタ構造を実現し、信頼性の高い半導体装置を提供することができる。また、下部電極13のアスペクト比（電極高さ／電極幅）を大きくすることができるので、半導体装置の微細化を図ることができる。

【0072】

(実施の形態7)

図22は、この発明の実施の形態7における半導体装置を示す断面図である。実施の形態7における半導体装置は、実施の形態6における半導体装置と比較して、導電膜11の構造が異なる。以下において、重複する構造の説明は省略する。

【0073】

図22を参照して、コンタクトホール7には、ドープトポリシリコンなどが充

填されてプラグ電極8が形成されている。プラグ電極8は、プラグ電極8の頂面が層間絶縁膜6の頂面6aよりも低くなるように形成されている。プラグ電極8が形成されていないコンタクトホール7の残りの部分を充填するように、窒化タンタルからなるバリアメタル膜35nが形成されている。バリアメタル膜35nは、バリアメタル膜35nの頂面と層間絶縁膜6の頂面6aとが同一平面となるように形成されている。層間絶縁膜6上には、バリアメタル膜35nと接触して、図17中に示すバリアメタル膜35と同一形状を有するバリアメタル膜35mが形成されている。プラグ電極8とバリアメタル膜35nおよび35mとによって導電膜11が構成されている。

【0074】

この発明の実施の形態7に従った半導体装置では、バリアメタル層の一部としてのバリアメタル膜35nは、コンタクトホール7を充填するように形成されている。

【0075】

このように構成された半導体装置によれば、実施の形態6に記載の効果と同様の効果を奏すことができる。加えて、バリアメタル膜35nがコンタクトホール7の一部を充填しているため、バリアメタル膜35nおよび35mが層間絶縁膜6から剥がれてしまうことを防止することができる。

【0076】

(実施の形態8)

図23は、この発明の実施の形態8における半導体装置を示す断面図である。実施の形態8における半導体装置は、実施の形態6における半導体装置と比較して、導電膜11の構造が異なる。以下において、重複する構造の説明は省略する。

【0077】

図23を参照して、コンタクトホール7には、ドープトポリシリコンが充填されてプラグ電極8が形成されている。プラグ電極8は、プラグ電極8の頂面が層間絶縁膜6の頂面6aよりも低くなるように形成されている。プラグ電極8の頂面、コンタクトホール7の側壁、および層間絶縁膜6の頂面6aの一部を覆うよ

うにバリアメタル膜35が形成されている。バリアメタル膜35は、プラグ電極8の頂面およびコンタクトホール7の側壁を覆って形成された突出部40と、層間絶縁膜6の頂面6a上に位置するベース部36と、ベース部36の周縁部から上方に向かって延びる側壁部37とによって構成されている。

【0078】

バリアメタル膜35には、頂面35a側に開口された凹部38と、凹部38の底面に開口された凹部41とが形成されている。凹部38は、シリコン基板1の主表面1aから凹部38の底面までの距離が、シリコン基板1の主表面1aから層間絶縁膜6の頂面6aまでの距離よりも大きくなるように形成されている。凹部41は、シリコン基板1の主表面1aから凹部41の底面までの距離が、シリコン基板1の主表面1aから層間絶縁膜6の頂面6aまでの距離よりも小さくなるように形成されている。

【0079】

下部電極13は、バリアメタル膜35に形成された凹部38および41に嵌め合わされて形成されている。これにより、下部電極13は、下部電極13の段差をもって形成された外周面がバリアメタル膜35の凹部38および41によって支持されている。

【0080】

この発明の実施の形態8に従った半導体装置では、導電膜11は、下部電極13と接触する面に開口された凹部41をさらに含み、下部電極13は、凹部41を充填するように形成されている。

【0081】

このように構成された半導体装置によれば、実施の形態6に記載の効果と同様の効果を奏すことができる。加えて、バリアメタル膜35は凹部41を備えるため、下部電極13とバリアメタル膜35との接触面積を増大させることができ。また、下部電極13は、バリアメタル膜35の凹部38および41に嵌め合わされて形成されている。このため、半導体装置の製造工程の途中に、下部電極13が層間絶縁膜6の頂面6a上から剥がれて倒れることをより確実に防止することができる。

【0082】

(実施の形態9)

図24は、この発明の実施の形態9における半導体装置を示す断面図である。実施の形態9における半導体装置は、実施の形態8における半導体装置と比較して、導電膜11の構造が異なる。以下において、重複する構造の説明は省略する。

【0083】

図24を参照して、コンタクトホール7には、プラグ電極8と、プラグ電極8上に設けられたバリアメタル膜35qと、バリアメタル膜35q上に設けられて、図23中に示すバリアメタル膜35と同一形状を有するバリアメタル膜35pが形成されている。プラグ電極8とバリアメタル膜35pおよび35qとによって導電膜11が構成されている。

【0084】

このように構成された半導体装置によれば、実施の形態8に記載の効果と同様の効果を奏すことができる。加えて、バリアメタル膜35pは、プラグ電極8との間にバリアメタル膜35qを介在させて形成されているため、プラグ電極8の頂面上でバリアメタル膜の膜厚が薄くなることを防止できる。これにより、ポリシリコンからなるプラグ電極8と、ルテニウムからなる下部電極13との反応をより確実に防止することができる。

【0085】

(実施の形態10)

図25は、この発明の実施の形態10における半導体装置を示す断面図である。実施の形態10における半導体装置は、実施の形態1における半導体装置と比較して、主に層間絶縁膜6上の構造が異なる。以下において、重複する構造の説明は省略する。

【0086】

図25を参照して、層間絶縁膜6は、リンおよびボロンを相対的に低い濃度で含むBPTEOSを原料とするシリコン酸化膜から形成されている。層間絶縁膜6の頂面6a上には、層間絶縁膜6の頂面6aの一部およびプラグ電極8の頂面

を露出させる孔を有する絶縁膜51が形成されている。絶縁膜51は、リンおよびボロンを相対的に高い濃度で含むBPTEOSを原料とするシリコン酸化膜から形成されている。絶縁膜51上には、絶縁膜51に形成された孔の径よりも小さい径で形成された孔を有するエッチングストッパ膜12が形成されている。エッチングストッパ膜12は、シリコン塗化膜によって形成されている。層間絶縁膜6の頂面6a上では、層間絶縁膜6の頂面6aと、絶縁膜51に形成された孔の表面と、層間絶縁膜6の頂面6aと向い合うエッチングストッパ膜12の底面とによって横孔53が規定されている。絶縁膜51とエッチングストッパ膜12とによって保持膜52が構成されている。なお、層間絶縁膜6をTEOSを原料とするシリコン酸化膜で、絶縁膜51をBPTEOSを原料とするシリコン酸化膜から形成しても良い。

【0087】

層間絶縁膜6の頂面6a上には、ルテニウムからなる下部電極13が形成されている。下部電極13は、下部電極13の外周面から外側に突出して形成された鍔状部分13tを有する。下部電極13は、鍔状部分13tが横孔53に嵌め合わされて形成されている。

【0088】

この発明の実施の形態10に従った半導体装置は、主表面1aを有するシリコン基板1と、頂面6aとシリコン基板1に達するコンタクトホール7とを有し、シリコン基板1の主表面1a上に形成された層間絶縁膜6と、コンタクトホール7を充填する導電膜としてのプラグ電極8と、層間絶縁膜6の頂面6aに沿って延在する横孔53を有し、層間絶縁膜6上に形成された保持膜52と、横孔53を充填する鍔状部分13tを有し、プラグ電極8に接触する下部電極13と、下部電極13上に形成された誘電体膜14と、誘電体膜14上に形成された上部電極15とを備える。

【0089】

図26から図30は、図25中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態1における半導体装置の製造方法の図2および図3に示す工程の後、図26から図30に示す工程が続く。さらにこの後に、実施の形態1

における半導体装置の製造方法の図1に示す工程が続く。以下において、重複する製造工程の説明は省略する。

【0090】

図26を参照して、層間絶縁膜6の頂面6a上にリンおよびボロンを相対的に高い濃度で含むBPTEOSを原料とするシリコン酸化膜からなる絶縁膜51と、シリコン窒化膜からなるエッティングストップ膜12と、リンおよびボロンを相対的に低い濃度で含むBPTEOSを原料とするシリコン酸化膜からなる層間絶縁膜21とを順次堆積する。その上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、堆積されたシリコン酸化膜およびシリコン窒化膜にエッティングを行ない、所定形状に開口されたコントラクトホール59を形成する。

【0091】

図27を参照して、絶縁膜51に等方性エッティングを行い所定位置に横孔53を形成する。この際、絶縁膜51と層間絶縁膜6および21とでは、リンおよびボロンを注入する濃度が異なるため、層間絶縁膜6および21に対してエッティング選択比を大きくとることができる。このため、絶縁膜51に行なう等方性エッティングによって層間絶縁膜6および21も後退するが、絶縁膜51をより大きく後退させることによって所定形状の横孔53を形成することができる。

【0092】

図28を参照して、下部電極13を形成するために、コントラクトホール59の表面および層間絶縁膜21の頂面21aを覆い、かつ横孔53を充填するようにルテニウムからなる金属膜を堆積する。

【0093】

図29を参照して、化学的機械研磨法、ドライエッティング、またはウェットエッティングにより、ルテニウムからなる金属膜を層間絶縁膜21の頂面21aが露出するまで除去する。層間絶縁膜21に形成されたコントラクトホール59に位置する金属膜が除去されないように、金属膜に規定されている凹部に有機保護膜を埋め込んでも良い。これにより、円筒形状を有する下部電極13が形成される。

【0094】

・図30を参照して、ウェットエッチングによりエッチングストップ膜12上の層間絶縁膜21を除去する。

【0095】

このように構成された半導体装置によれば、下部電極13は、下部電極13に設けられた鎔状部分13tが、保持膜52によって形成されている横孔53に嵌め合わされて設けられている。また、下部電極13の鎔状部分13tは、保持膜52を構成するエッチングストップ膜12によって層間絶縁膜6の頂面6aに向けて押え付けられている。このため、半導体装置の製造工程の途中に、下部電極13が層間絶縁膜6の頂面6a上から剥がれて倒れることを防止することができる。これにより、所望のキャパシタ構造を実現し、信頼性の高い半導体装置を提供することができる。また、下部電極13のアスペクト比（電極高さ／電極幅）を大きくすることができるので、半導体装置の微細化を図ることができる。

【0096】

（実施の形態11）

図31は、この発明の実施の形態11における半導体装置を示す断面図である。実施の形態11における半導体装置は、実施の形態10における半導体装置と比較して、導電膜11の構造が異なる。以下において、重複する構造の説明は省略する。

【0097】

図31を参照して、コンタクトホール7には、ドープトポリシリコンなどが充填されてプラグ電極8が形成されている。プラグ電極8は、プラグ電極8の頂面が層間絶縁膜6の頂面6aよりも低くなるように形成されている。プラグ電極8が形成されていないコンタクトホール7の残りの部分を充填するように、窒化タンタルからなるバリアメタル膜54nが形成されている。バリアメタル膜54nは、バリアメタル膜54nの頂面と層間絶縁膜6の頂面6aとが同一平面となるように形成されている。

【0098】

バリアメタル膜54mが、バリアメタル膜54nと接触し、かつ下部電極13の外周面を覆うように形成されている。バリアメタル膜54mは、層間絶縁膜6

の頂面6a上から横孔53および下部電極13の外周面にまで渡って形成されている。プラグ電極8と、バリアメタル膜54nおよび54mとによって導電膜11が構成されている。

【0099】

バリアメタル膜54mは、下部電極13の頂面13aよりも低い位置にバリアメタル膜54mの頂面54aが位置するように形成されている。下部電極13は上端側で開口されているため、一般的には層間絶縁膜6の頂面6aから離れるに従って外側に広がって形成される。このため、下部電極13の外周面上に設けられたバリアメタル膜54mの高さを下部電極13の高さよりも低く形成することによって、隣接する下部電極13同士が接触して短絡することを抑制できる。

【0100】

このように構成された半導体装置によれば、実施の形態10に記載の効果と同様の効果を奏すことができる。加えて、バリアメタル膜54mが下部電極13の外周面に沿って上方に延びて形成されているため、バリアメタル膜54mは下部電極13を支持する役割を果たす。これにより、半導体装置の製造工程の途中に、下部電極13が層間絶縁膜6の頂面6a上から剥がれて倒れることをより確実に防止することができる。また、ルテニウムからなる下部電極13とポリシリコンからなるプラグ電極8との間には、バリアメタル膜54mが設けられているため、プラグ電極8と下部電極13とが反応することを防止できる。さらに、プラグ電極8とバリアメタル膜54mとの間にバリアメタル膜54nを介在させているため、バリアメタル膜54mの膜厚が薄くなつてプラグ電極8と下部電極13とが反応することを防止できる。

【0101】

(実施の形態12)

図32は、この発明の実施の形態12における半導体装置を示す断面図である。実施の形態12における半導体装置は、実施の形態10における半導体装置と比較して、導電膜11および横孔の構造が異なる。以下において、重複する構造の説明は省略する。

【0102】

：・図32を参照して、層間絶縁膜6上には、孔を有するエッティングストップ膜12が形成されている。層間絶縁膜6は、エッティングストップ膜12が有する孔の径よりも大きい径で形成され、頂面6a側に開口された凹部を有する。その凹部を規定する層間絶縁膜6の表面と、その凹部の底面に向い合うエッティングストップ膜12の底面とによって、横孔61が規定されている。下部電極13は底面側に鍔状部分13tを有し、鍔状部分13tが横孔61に嵌め合わされて形成されている。実施の形態11において図31中に示された半導体装置と同様に、バリアメタル膜54nがコンタクトホール7の一部を充填している。また、バリアメタル膜54mが、バリアメタル膜54nと接触し、かつ下部電極13の外周面を覆うように形成されている。

【0103】

この発明の実施の形態12に従った半導体装置では、横孔61は、シリコン基板1の主表面1aからの距離がシリコン基板1の主表面1aから層間絶縁膜6の頂面6aまでの距離よりも小さい位置に設けられている。

【0104】

このように構成された半導体装置によれば、実施の形態11に記載の効果と同様の効果を奏すことができる。加えて、横孔61は、層間絶縁膜6とエッティングストップ膜12とによって規定されているため、横孔61を形成するために新たな絶縁膜を設ける必要がない。これにより、半導体装置の製造工程を削減することができる。

【0105】

(実施の形態13)

図33は、この発明の実施の形態13における半導体装置を示す断面図である。実施の形態13における半導体装置は、実施の形態10における半導体装置と比較して、導電膜11および横孔の構造が異なる。以下において、重複する構造の説明は省略する。

【0106】

図33を参照して、保持膜および誘電体膜としての誘電体膜14が、下部電極13および層間絶縁膜6の頂面6aを覆うように形成されている。層間絶縁膜6

は、プラグ電極8の外周面の外側に位置する部分が頂面6aから後退した形状で形成されている。その後退した部分の層間絶縁膜6の表面と、層間絶縁膜6が後退した部分と向い合う誘電体膜14の表面とによって横孔63が規定されている。下部電極13は底面側で半径方向に延びて形成された鍔状部分13tを有し、鍔状部分13tが横孔63に嵌め合わされて形成されている。実施の形態11において図31中に示された半導体装置と同様に、バリアメタル膜54が、プラグ電極8と接触し、かつ下部電極13の外周面を覆うように形成されている。

【0107】

このように構成された半導体装置によれば、実施の形態11に記載の効果と同様の効果を奏すことができる。加えて、横孔63は、層間絶縁膜6と誘電体膜14とによって規定されているため、横孔63を形成するために新たな絶縁膜を設ける必要がない。これにより、半導体装置の製造工程をさらに削減することができる。

【0108】

(実施の形態14)

図34は、この発明の実施の形態14における半導体装置を示す断面図である。実施の形態14における半導体装置は、実施の形態1における半導体装置と比較して重複する構造を有する。以下において、実施の形態1における半導体装置と異なる構造について主に説明する。

【0109】

図34を参照して、実施の形態1において図1に示された半導体装置と同様に、シリコン基板1の主表面1a上には、ゲート絶縁膜3a、3bおよび3cを介して、ゲート電極4a、4bおよび4cと絶縁膜マスク5a、5bおよび5cとが形成されている。ゲート電極4a、4bおよび4cの間に位置するシリコン基板1の主表面1aには、n型の不純物領域2aおよび2bが形成されている。

【0110】

シリコン基板1の主表面1aと絶縁膜マスク5a、5bおよび5cの頂面とを覆う層間絶縁膜6には、不純物領域2aおよび2bに達するコンタクトホール7aおよび7bが形成されている。コンタクトホール7aおよび7bには、ドープ

トポリシリコンなどが充填されてプラグ電極8aおよび8bが形成されている。層間絶縁膜6の頂面6a上には、プラグ電極8aおよび8b上に開口されたエッティングストップ膜12が形成されている。

【0111】

下部電極13mおよび13nが、プラグ電極8aおよび8bと接触して形成されている。下部電極13mおよび13nは、層間絶縁膜6の頂面6a上に位置する部分からシリコン基板1の主表面1aから離れる方向へ延びて形成された円筒部72を有する。円筒部72の上端が、下部電極13mおよび13nの頂面13aを形成している。下部電極13mおよび13nの表面を覆うように誘電体膜14が形成されている。誘電体膜14を覆うように上部電極15が形成されている。

【0112】

図35は、図34中に示す下部電極を上方から見た斜視図である。図34および図35を参照して、頂面13a側に位置する下部電極13mの外周面と、頂面13a側に位置する下部電極13nの外周面とを連結するように、シリコン窒化膜からなる絶縁膜71が形成されている。絶縁膜71は、下部電極13mに連結される一方端71eと、下部電極13nに連結される他方端71fとを有する。下部電極13mおよび13nの頂面13aと絶縁膜71の頂面71aとは、同一平面上にある。絶縁膜71は、断面が長方形であり、直線上に延びて形成されている。

【0113】

この発明の実施の形態14に従った半導体装置は、主表面1aを有するシリコン基板1と、頂面6aとシリコン基板1に達する複数のコンタクトホール7aおよび7bとを有し、シリコン基板1の主表面1a上に形成された層間絶縁膜6と、コンタクトホール7aおよび7bの各々を充填する第1および第2の導電膜としてのプラグ電極8aおよび8bと、層間絶縁膜6の頂面6aから離隔するよう延在し、かつ頂面13aが設けられる部分としての円筒部72を有し、プラグ電極8aおよび8bに接触して形成された第1および第2の下部電極としての下部電極13mおよび13nと、下部電極13mに接続される一方端71eと、下

部電極13nに接続される他方端71fとを有し、円筒部72の頂面13a側に形成された絶縁膜71と、下部電極13mおよび13n上に形成された誘電体膜14と、誘電体膜14上に形成された上部電極15とを備える。

【0114】

絶縁膜71は頂面71aを有し、絶縁膜71の頂面71aと円筒部72の頂面13aとは、ほぼ同一平面にある。

【0115】

図36から図42は、図34中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態1における半導体装置の製造方法の図2および図3に示す工程の後、図36から図42に示す工程が続く。さらにこの後に、実施の形態1における半導体装置の製造方法の図1に示す工程が続く。以下において、重複する製造工程の説明は省略する。

【0116】

図36を参照して、層間絶縁膜6の頂面6a上にシリコン窒化膜からなるエッティングストップ膜12と、TEOSを原料としたシリコン酸化膜からなる層間絶縁膜76とを順次堆積する。図37を参照して、その上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。そのレジスト膜をマスクとして層間絶縁膜76にエッティングを行ない、長方形形状の断面を有し、直線上に延びる溝78を形成する。

【0117】

図38を参照して、溝78にシリコン窒化膜を充填して絶縁膜71を形成する。この際、層間絶縁膜76の頂面76aと絶縁膜71の頂面71aとが同一平面となるように処理する。

【0118】

図39を参照して、絶縁膜71および層間絶縁膜76の上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。そのレジスト膜をマスクとして、絶縁膜71、層間絶縁膜76およびエッティングストップ膜12にエッティングを行ない、コンタクトホール18aおよび18bを形成する。

【0119】

図4 0を参照して、下部電極1 3 mおよび1 3 nを形成するために、コンタクトホール1 8 aおよび1 8 bの表面と、層間絶縁膜7 6の頂面7 6 aとを覆うようにルテニウムからなる金属膜を堆積する。

【0120】

図4 1を参照して、化学的機械研磨法、ドライエッチング、またはウェットエッチングにより、ルテニウムからなる金属膜を層間絶縁膜7 6の頂面7 6 aが露出するまで除去する。この際、層間絶縁膜7 6に形成されたコンタクトホール1 8 aおよび1 8 bに位置する金属膜が除去されないように、金属膜によって規定されている凹部に有機保護膜を埋め込んでも良い。これにより円筒形状を有する下部電極1 3 mおよび1 3 nが形成される。

【0121】

図4 2を参照して、ウェットエッチングにより、エッチングストップ膜1 2上の層間絶縁膜7 6を除去する。図4 3は、図4 2中の矢印X L I I Iに示す方向から見た下部電極および絶縁膜を示す平面図である。図4 3を参照して、シリコン窒化膜からなる絶縁膜7 1は、下部電極1 3 mおよび1 3 nの外周面を連結した状態で残存する。

【0122】

このように構成された半導体装置によれば、下部電極1 3 mおよび1 3 nは、それぞれの外周面に接続された絶縁膜7 1によって支持されて設けられている。このため、半導体装置の製造工程の途中に、下部電極1 3 mおよび1 3 nが層間絶縁膜6の頂面6 a上から剥がれて倒れることを防止することができる。また、絶縁膜7 1は、下部電極1 3 mおよび1 3 nの頂面1 3 a側に接続されている。このため、下部電極1 3 mおよび1 3 nは、絶縁膜7 1によって上方が支持され、層間絶縁膜6の頂面6 aとプラグ電極8 aおよび8 bの頂面とによって下方が支持されることとなる。これにより、下部電極1 3 mおよび1 3 nはより安定して支持される。このような効果は、本実施の形態における半導体装置のように、下部電極1 3 mおよび1 3 nの頂面1 3 aと絶縁膜7 1の頂面7 1 aとが同一平面にある場合に特に発揮される。

【0123】

以上の理由から、所望のキャパシタ構造を実現し、信頼性の高い半導体装置を提供することができる。また、下部電極13mおよび13nのアスペクト比（電極高さ／電極幅）を大きくすることができるので、半導体装置の微細化を図ることができる。

【0124】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0125】

【発明の効果】

以上説明したように、この発明に従えば、半導体装置の微細化を実現するとともに、所望のキャパシタ構造を得ることによって信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における半導体装置を示す断面図である。

【図2】 図1中に示す半導体装置の製造方法の第1工程を示す断面図である。

【図3】 図1中に示す半導体装置の製造方法の第2工程を示す断面図である。

【図4】 図1中に示す半導体装置の製造方法の第3工程を示す断面図である。

【図5】 図1中に示す半導体装置の製造方法の第3工程を示す断面図である。

【図6】 図1中に示す半導体装置の製造方法の第4工程を示す断面図である。

【図7】 図1中に示す半導体装置の製造方法の第5工程を示す断面図である。

【図8】 図1中に示す半導体装置の製造方法の第6工程を示す断面図である。

【図9】 図1中に示す半導体装置の製造方法の第7工程を示す断面図である。

【図10】 この発明の実施の形態2における半導体装置を示す断面図である。

【図11】 この発明の実施の形態3における半導体装置を示す断面図である。

【図12】 この発明の実施の形態4における半導体装置を示す断面図である。

【図13】 図12中に示す半導体装置の製造方法の第1工程を示す断面図である。

【図14】 図12中に示す半導体装置の製造方法の第2工程を示す断面図である。

【図15】 図12中に示す半導体装置の製造方法の第3工程を示す断面図である。

【図16】 この発明の実施の形態5における半導体装置を示す断面図である。

【図17】 この発明の実施の形態6における半導体装置を示す断面図である。

【図18】 図17中に示す半導体装置の製造方法の第1工程を示す断面図である。

【図19】 図17中に示す半導体装置の製造方法の第2工程を示す断面図である。

【図20】 図17中に示す半導体装置の製造方法の第3工程を示す断面図である。

【図21】 図17中に示す半導体装置の製造方法の第4工程を示す断面図である。

【図22】 この発明の実施の形態7における半導体装置を示す断面図であ

る。

【図23】 この発明の実施の形態8における半導体装置を示す断面図である。

【図24】 この発明の実施の形態9における半導体装置を示す断面図である。

【図25】 この発明の実施の形態10における半導体装置を示す断面図である。

【図26】 図25中に示す半導体装置の製造方法の第1工程を示す断面図である。

【図27】 図25中に示す半導体装置の製造方法の第2工程を示す断面図である。

【図28】 図25中に示す半導体装置の製造方法の第3工程を示す断面図である。

【図29】 図25中に示す半導体装置の製造方法の第4工程を示す断面図である。

【図30】 図25中に示す半導体装置の製造方法の第5工程を示す断面図である。

【図31】 この発明の実施の形態11における半導体装置を示す断面図である。

【図32】 この発明の実施の形態12における半導体装置を示す断面図である。

【図33】 この発明の実施の形態13における半導体装置を示す断面図である。

【図34】 この発明の実施の形態14における半導体装置を示す断面図である。

【図35】 図34中に示す下部電極を上方から見た斜視図である。

【図36】 図34中に示す半導体装置の製造方法の第1工程を示す断面図である。

【図37】 図34中に示す半導体装置の製造方法の第2工程を示す断面図

である。

【図38】 図34中に示す半導体装置の製造方法の第3工程を示す断面図
である。

【図39】 図34中に示す半導体装置の製造方法の第4工程を示す断面図
である。

【図40】 図34中に示す半導体装置の製造方法の第5工程を示す断面図
である。

【図41】 図34中に示す半導体装置の製造方法の第6工程を示す断面図
である。

【図42】 図34中に示す半導体装置の製造方法の第7工程を示す断面図
である。

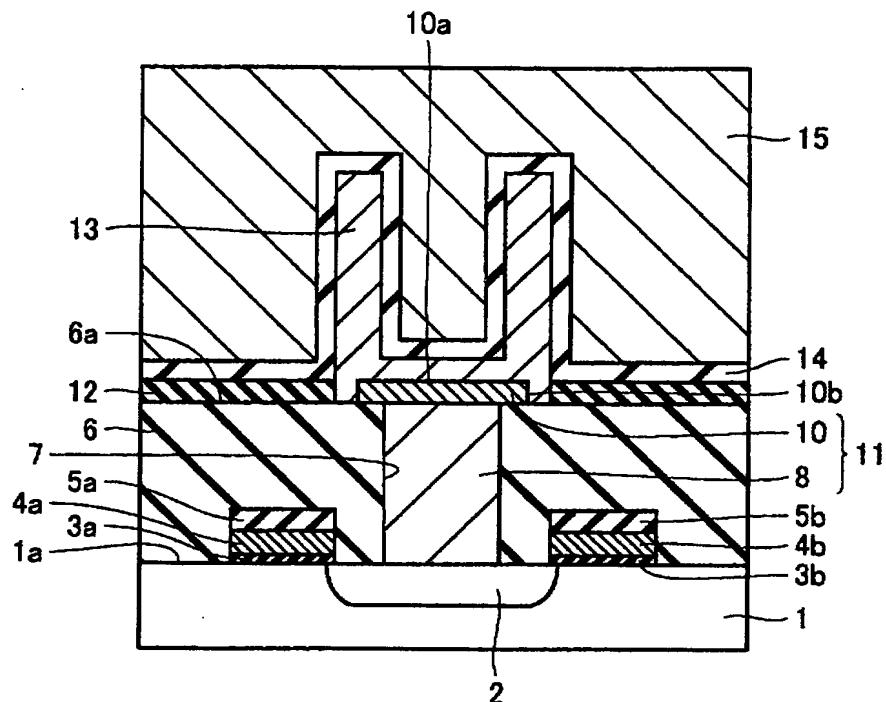
【図43】 図42中の矢印X L I I Iに示す方向から見た下部電極および
絶縁膜を示す平面図である。

【符号の説明】

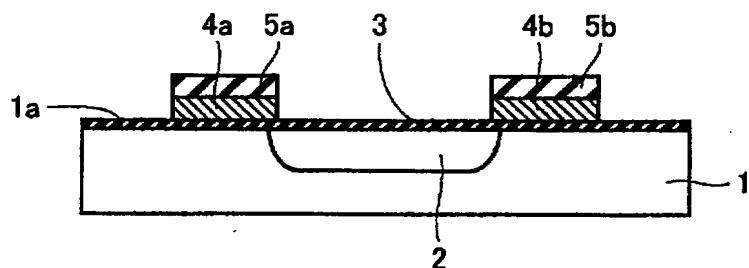
1 シリコン基板、1a 主表面、6 層間絶縁膜、6a, 10a, 13a,
35a, 71a 頂面、7, 7a, 7b コンタクトホール、10, 10m, 1
0n, 10p, 10q, 35, 35m, 35n, 35p, 35q, 54, 54m
, 54n バリアメタル膜、10b, 35b 側面、11 導電膜、12 エッ
チングストップ膜、13, 13m, 13n 下部電極、13t 鎔状部分、14
誘電体膜、15 上部電極、25, 38, 41 凹部、36 ベース部、37
側壁部、51 絶縁膜、52 保持膜、53, 61, 63 横孔、71 絶縁
膜、71e 一方端、71f 他方端、72 円筒部。

【書類名】 図面

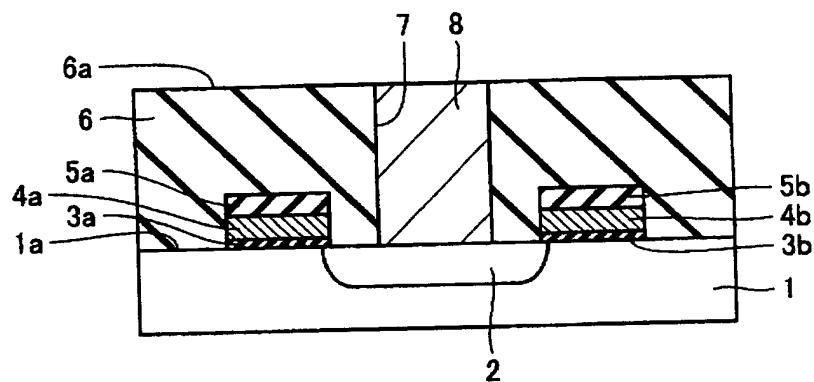
【図1】



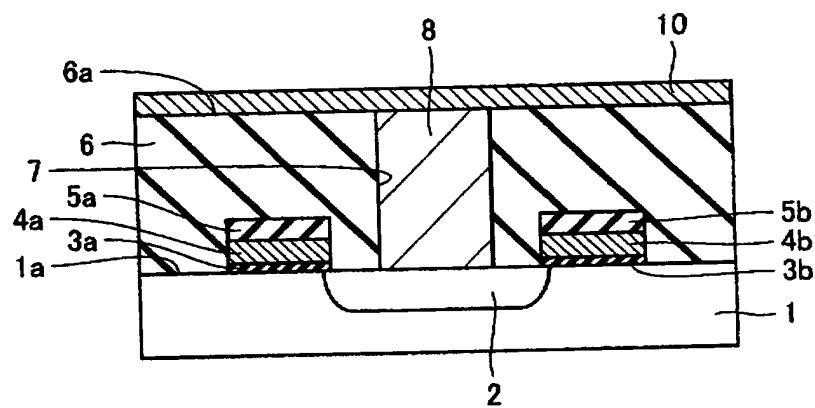
【図2】



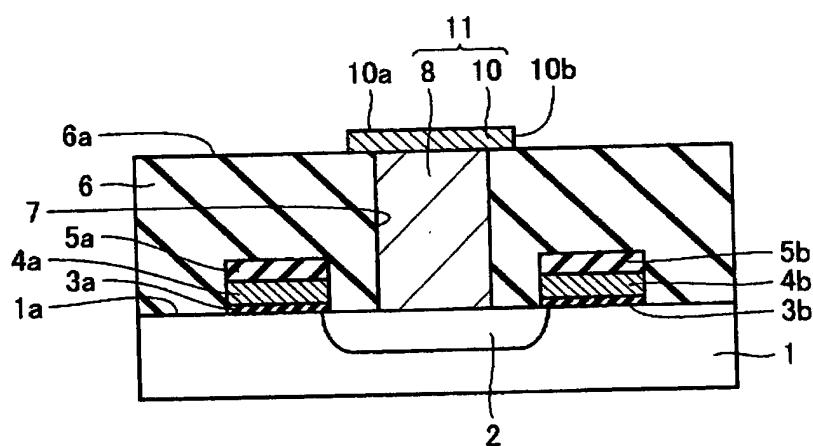
【図3】



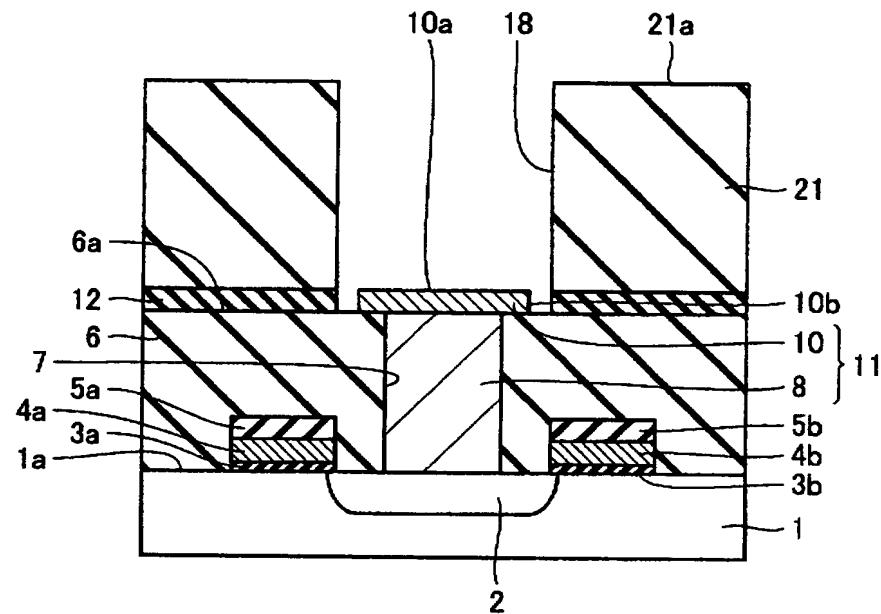
【図4】



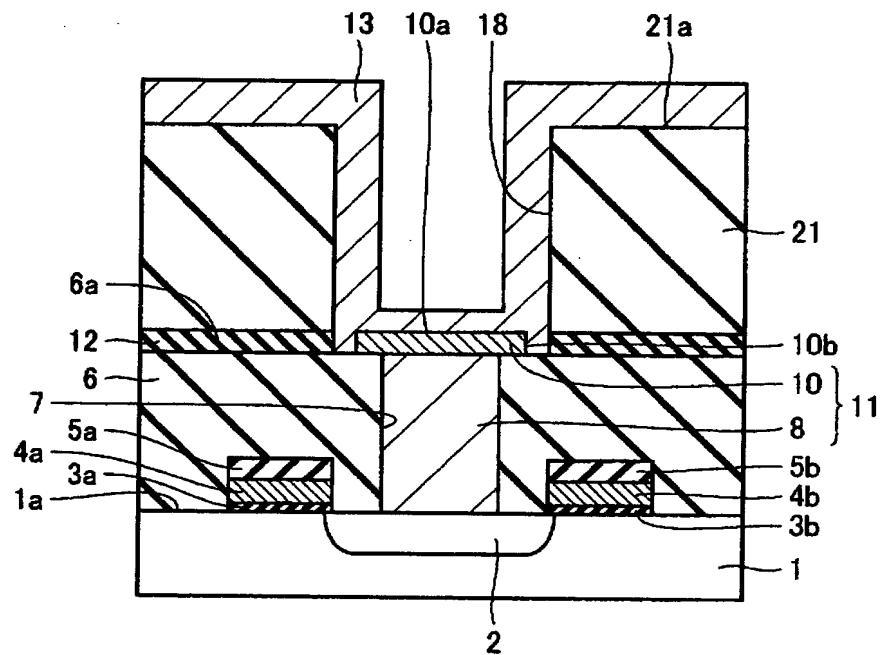
【図5】



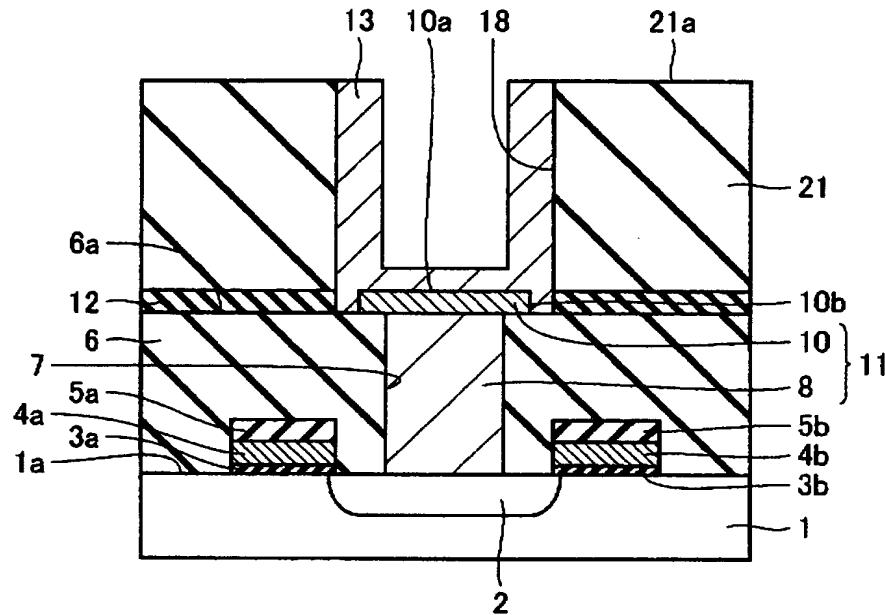
【図6】



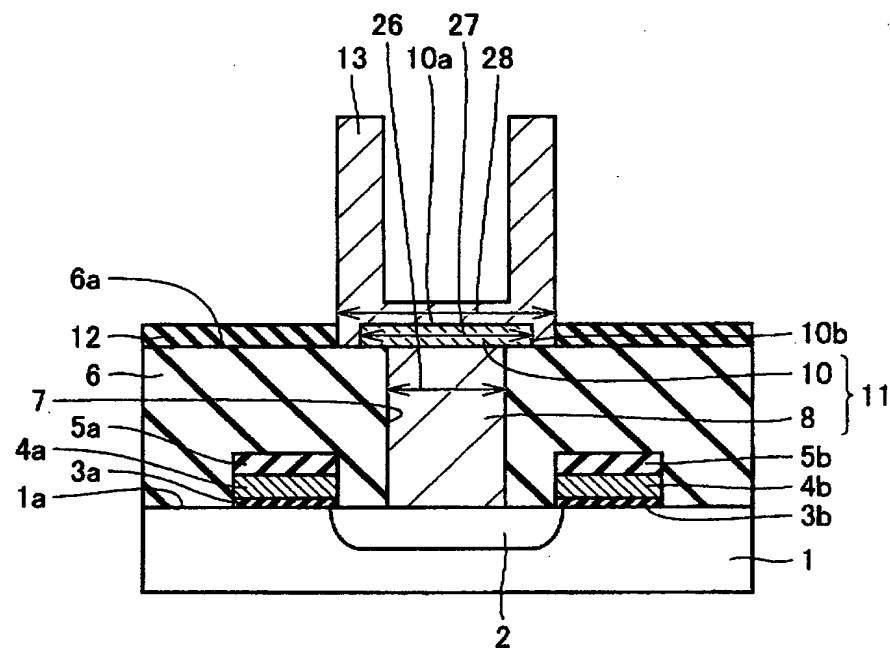
【図7】



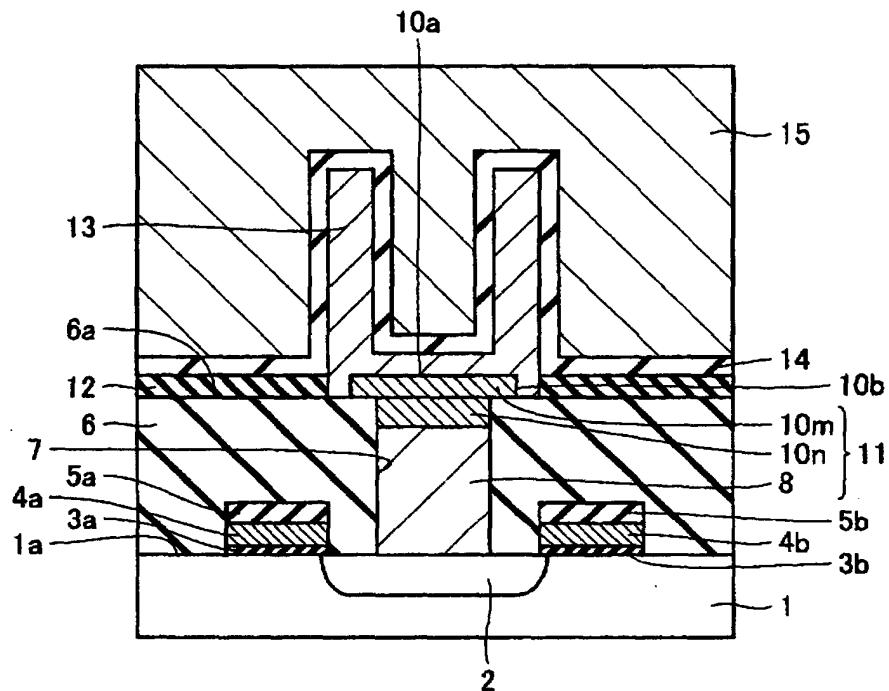
【図8】



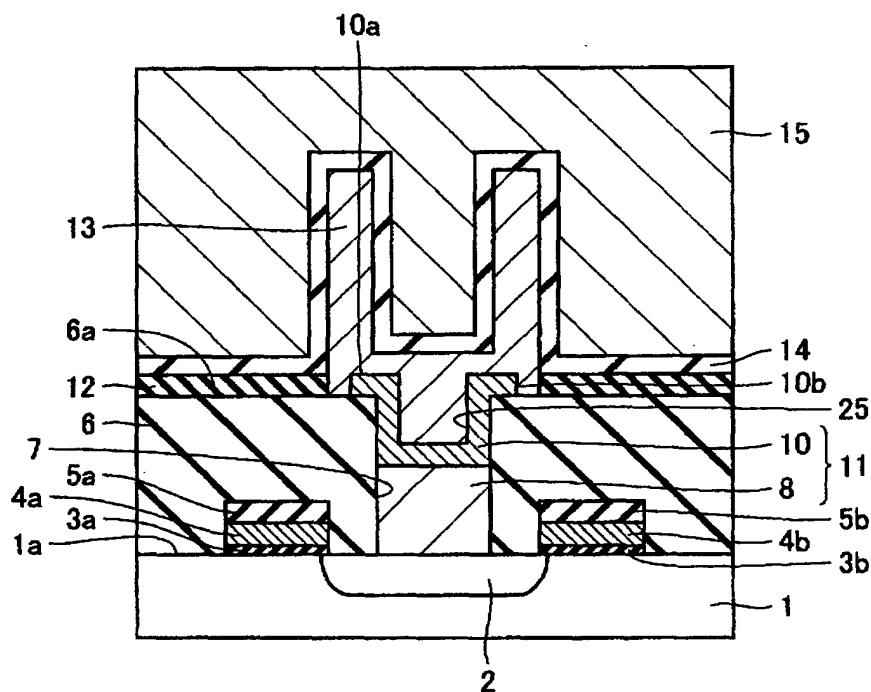
【図9】



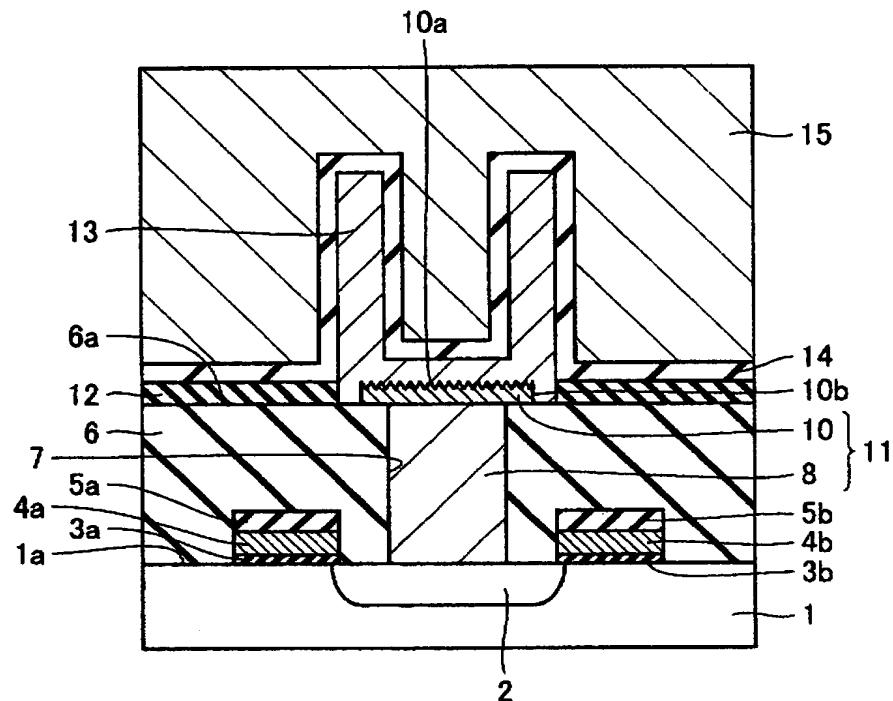
【図10】



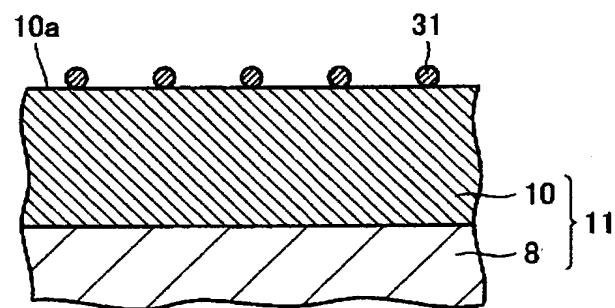
【図11】



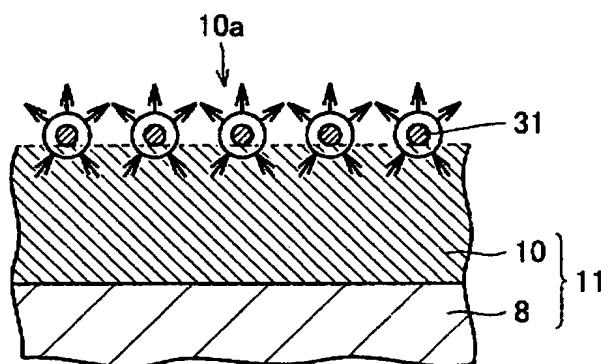
【図12】



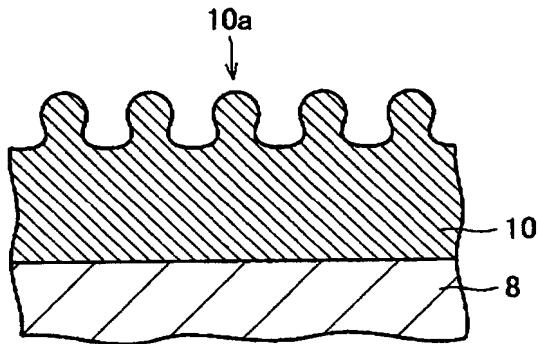
【図13】



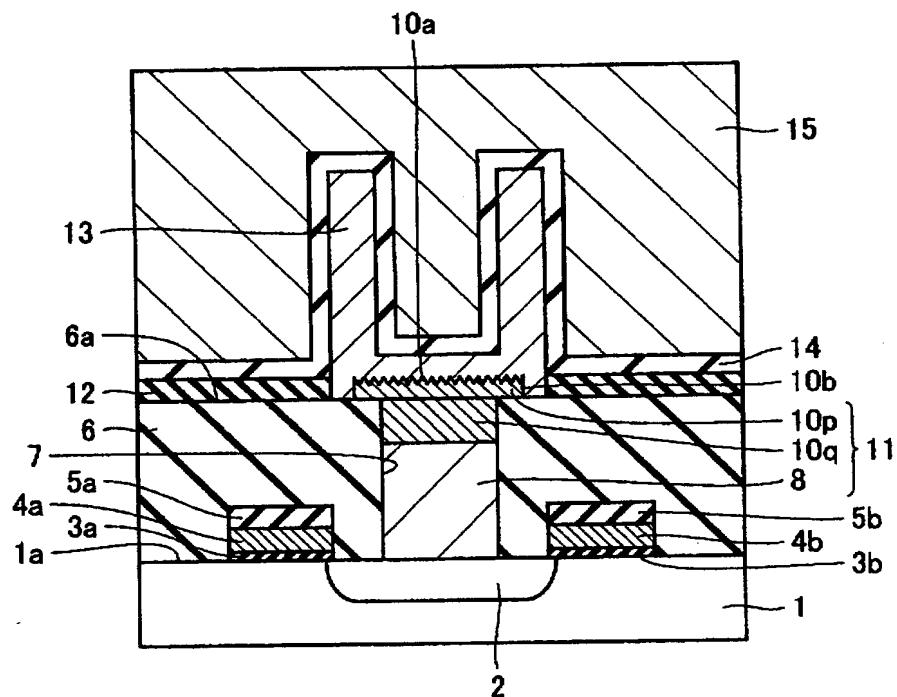
【図14】



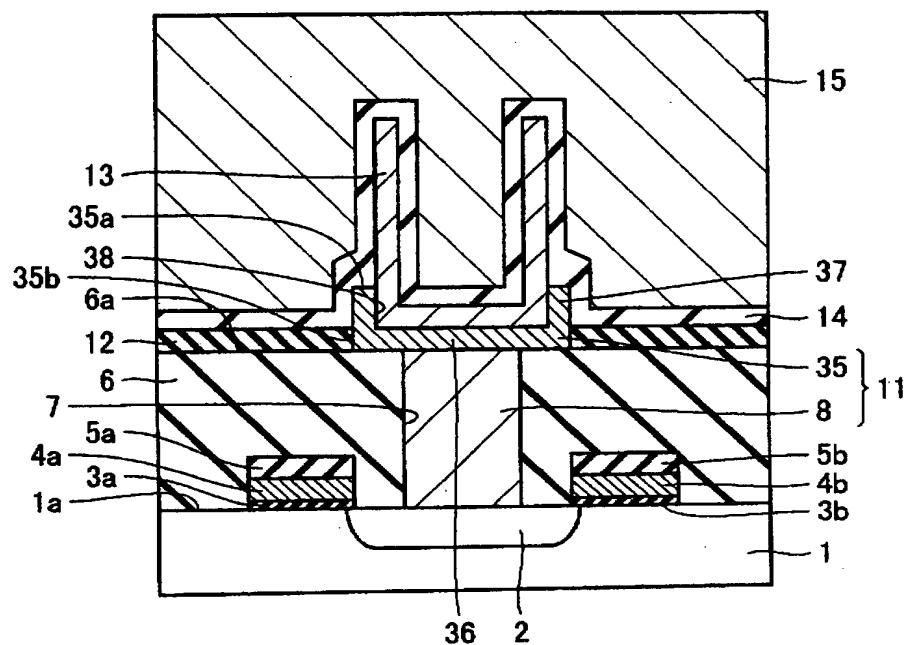
【図15】



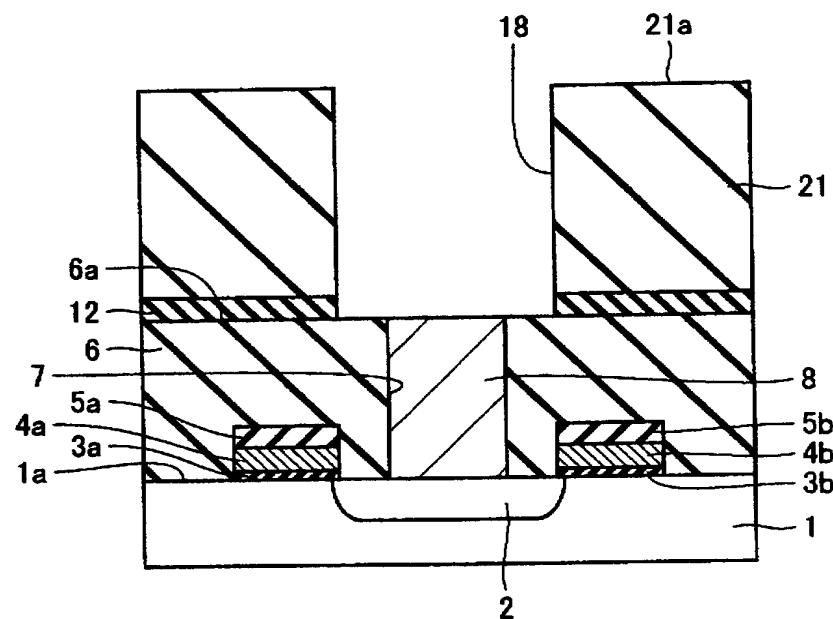
【図16】



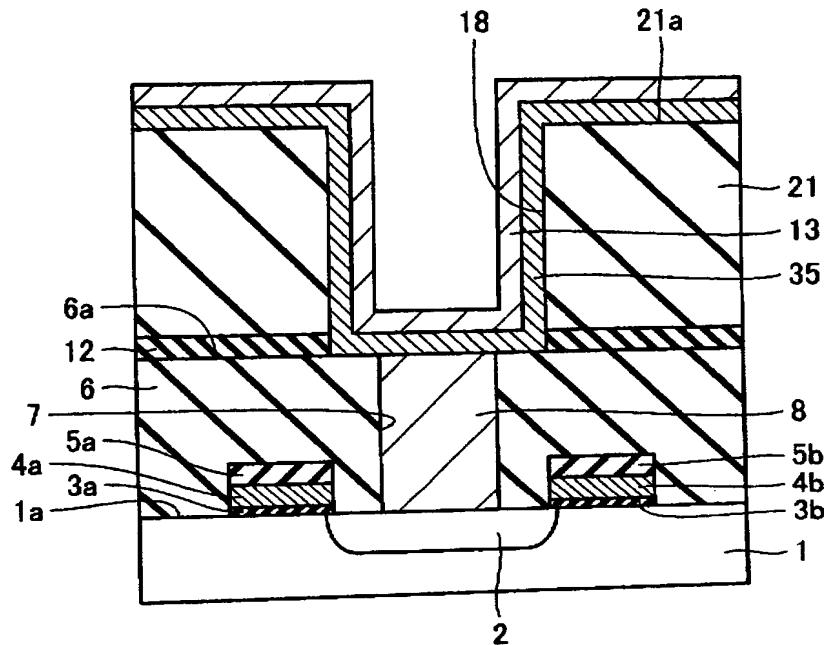
【図17】



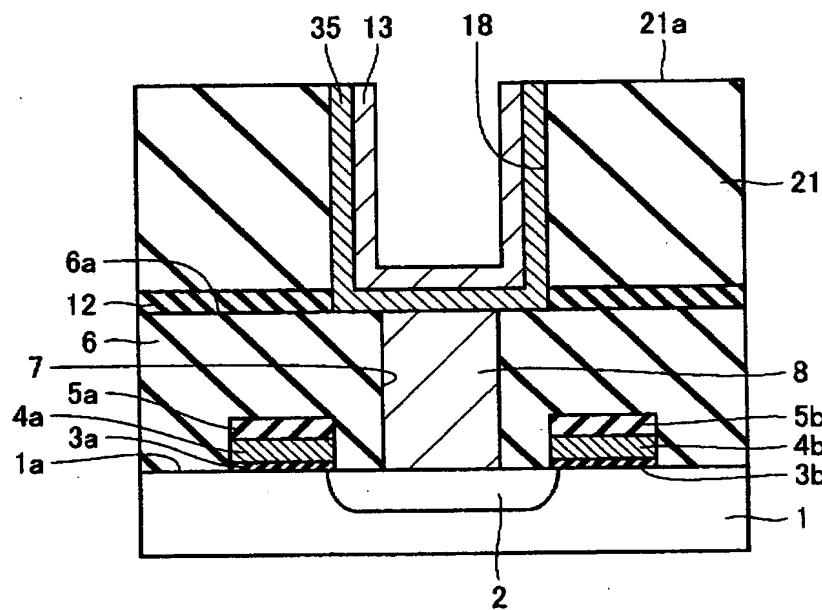
【図18】



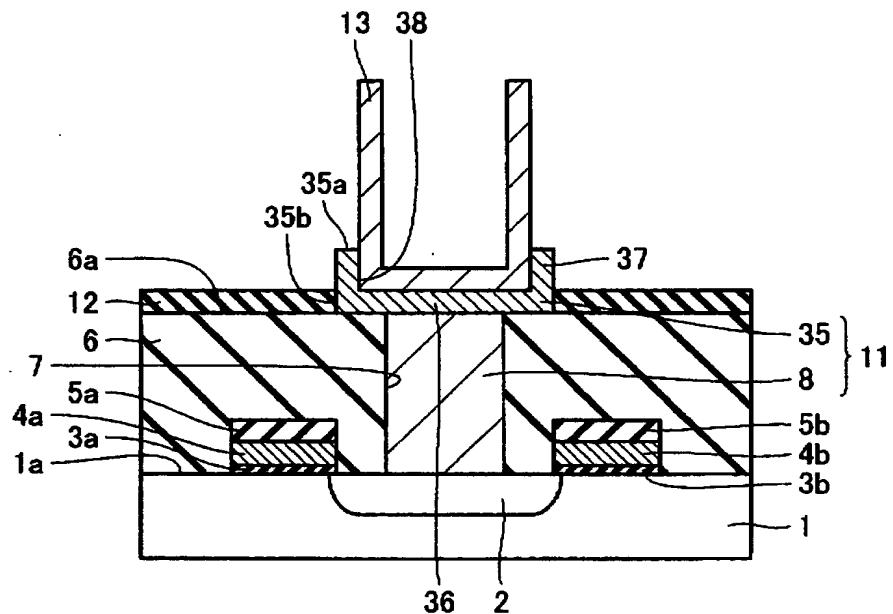
【図19】



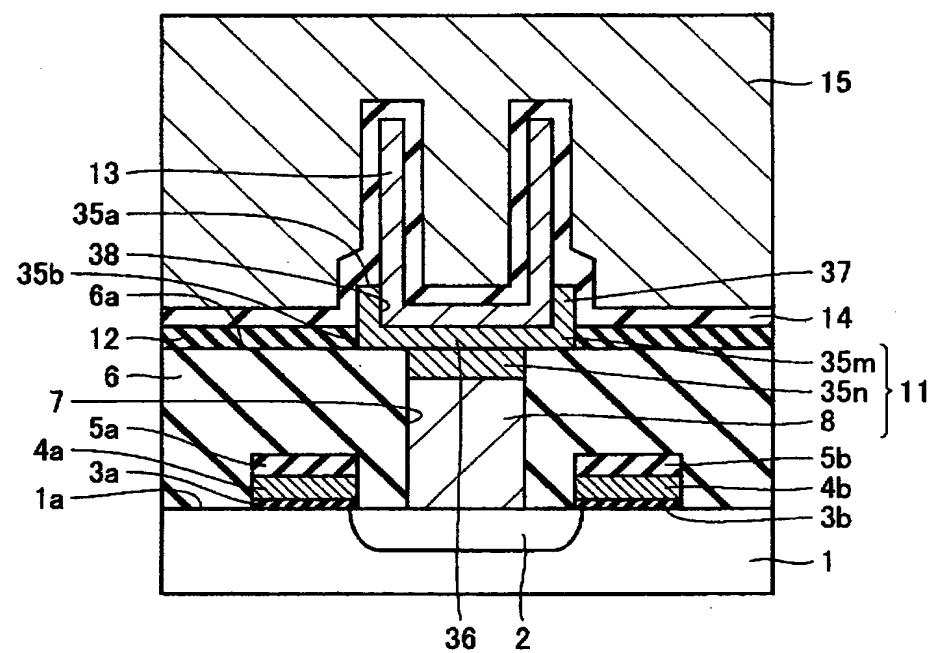
【図20】



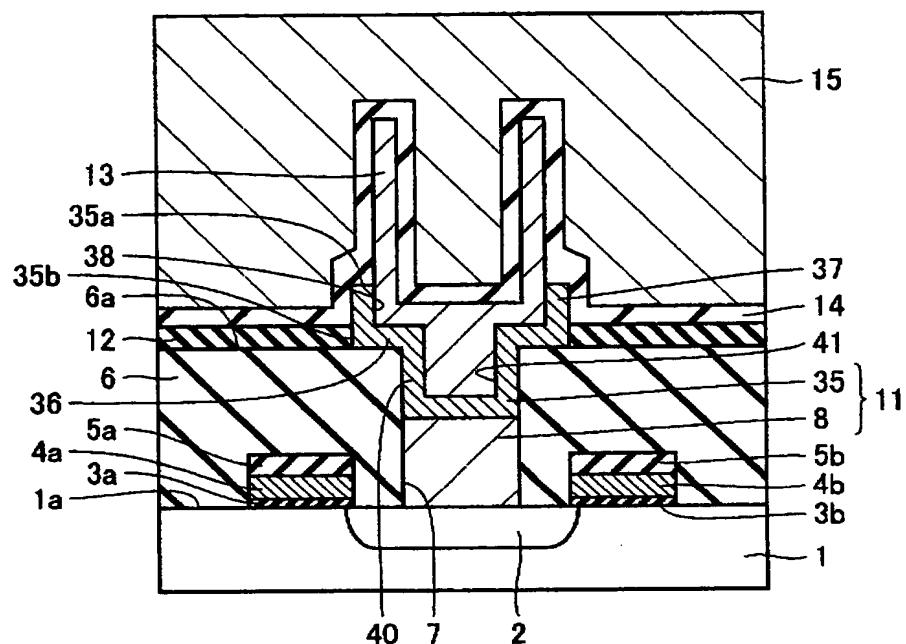
【図21】



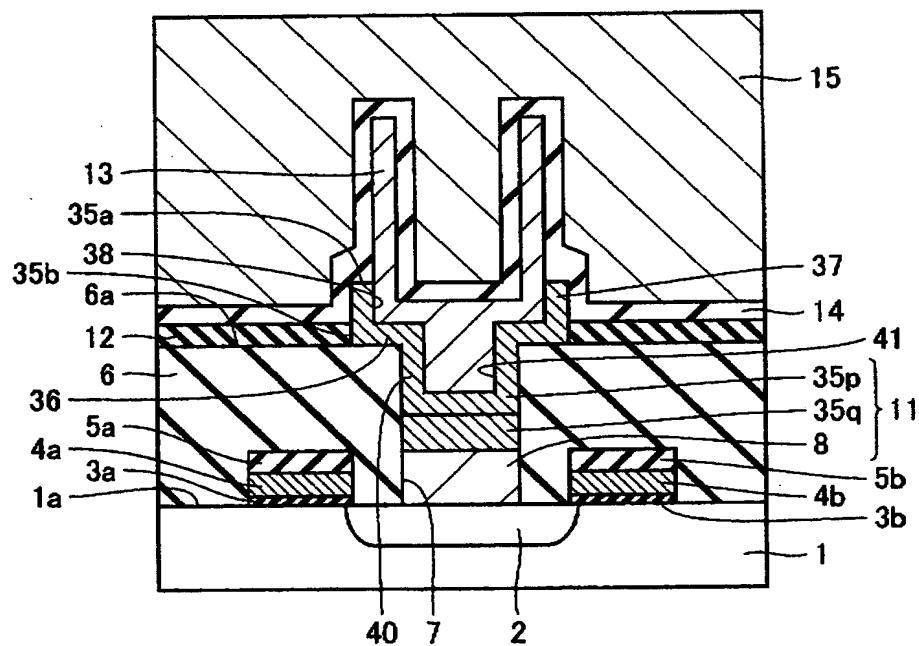
【図22】



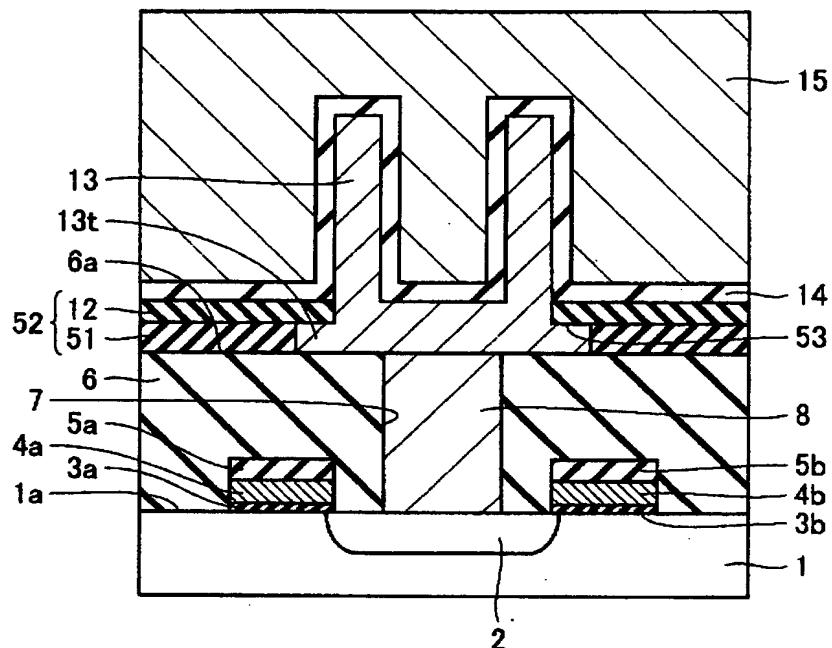
【図23】



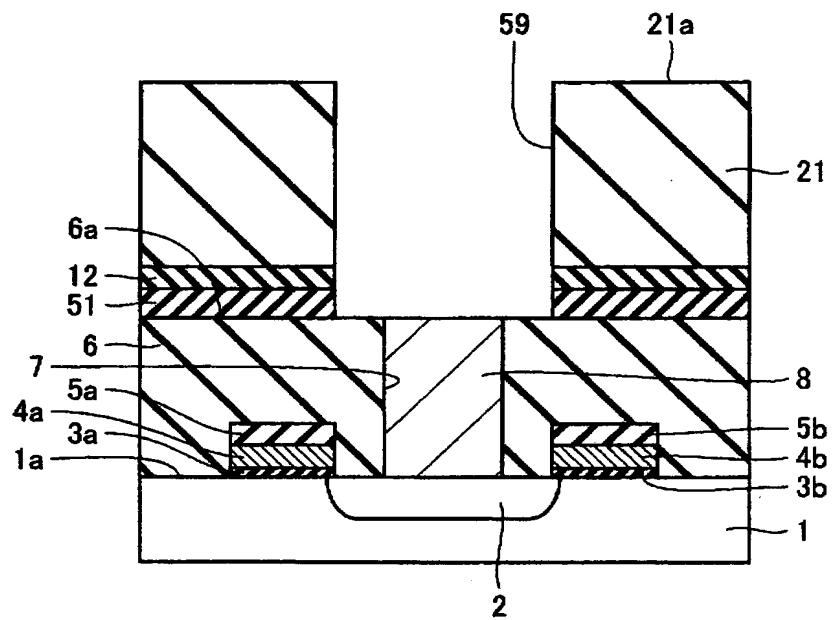
【図24】



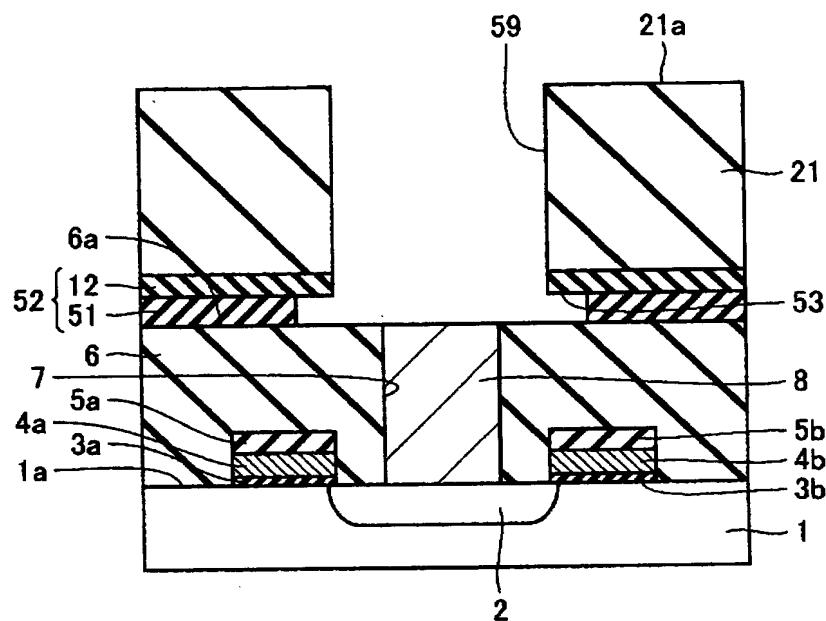
【図25】



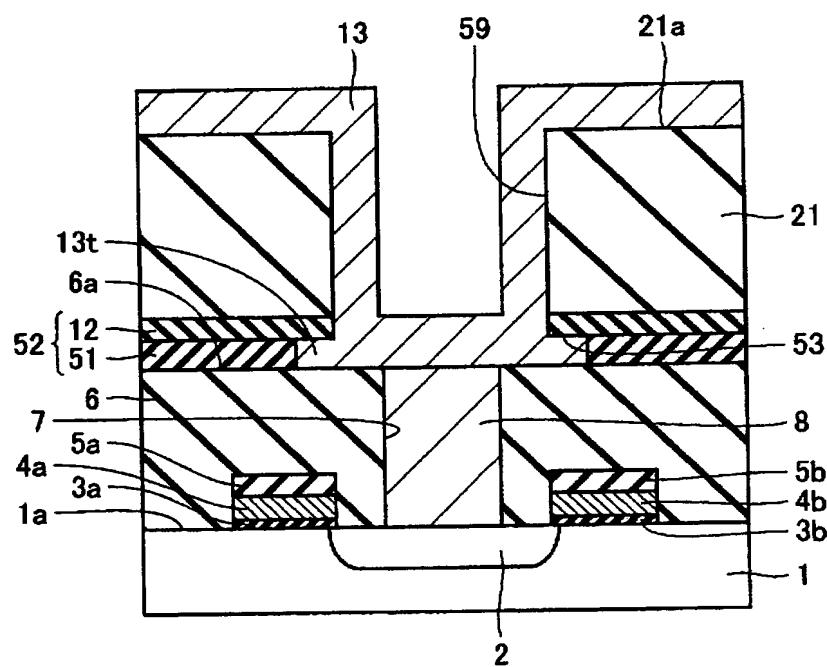
【図26】



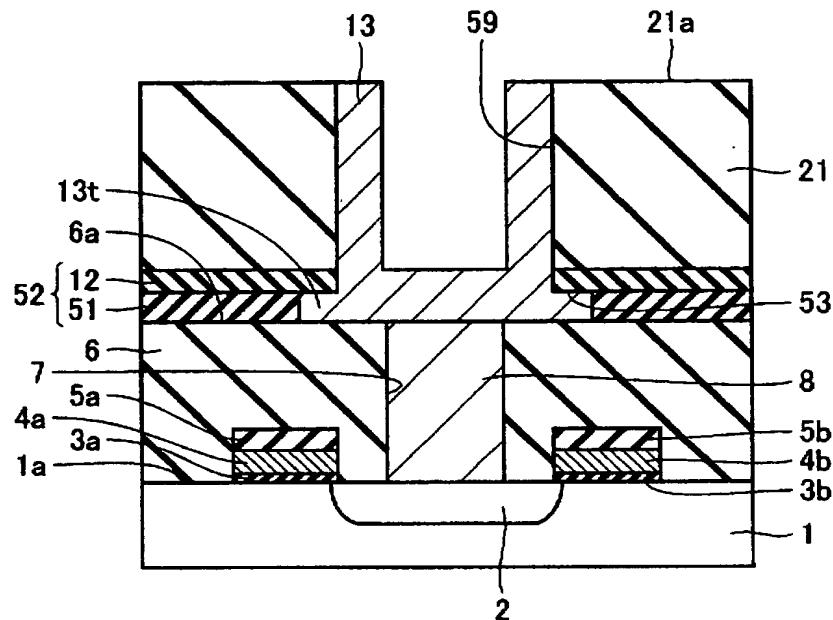
【図27】



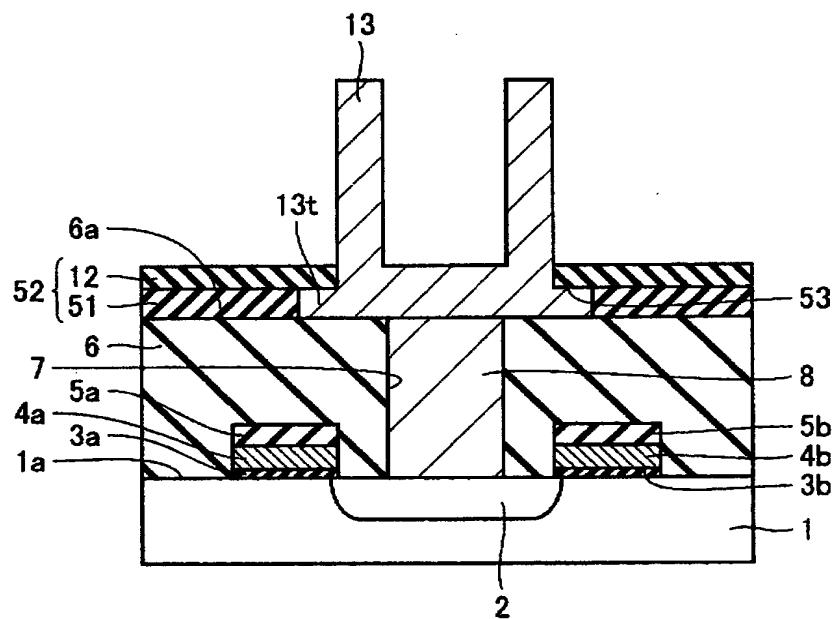
【図28】



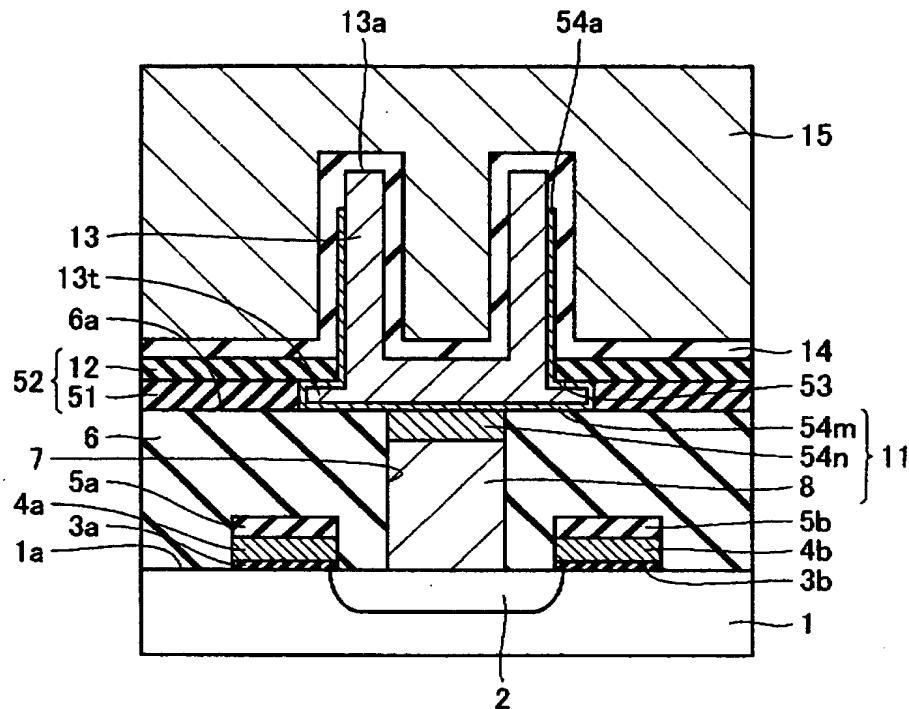
【図29】



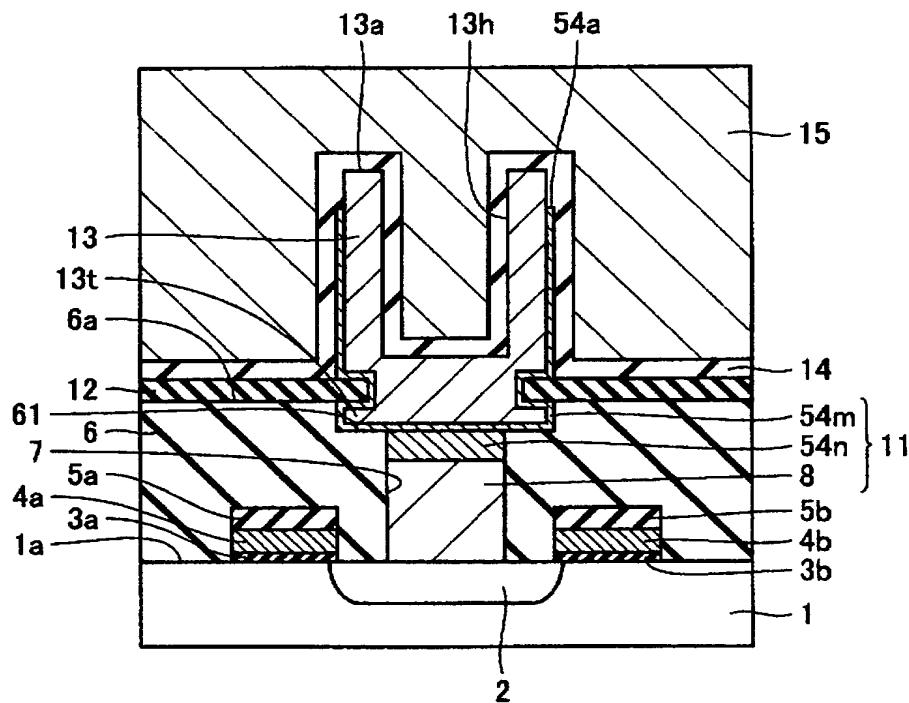
【図30】



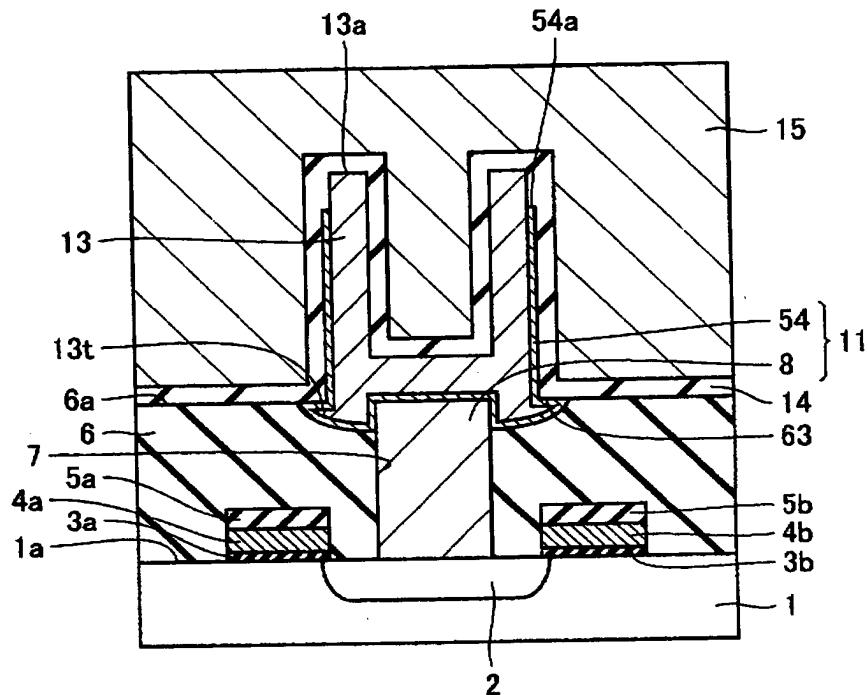
【図31】



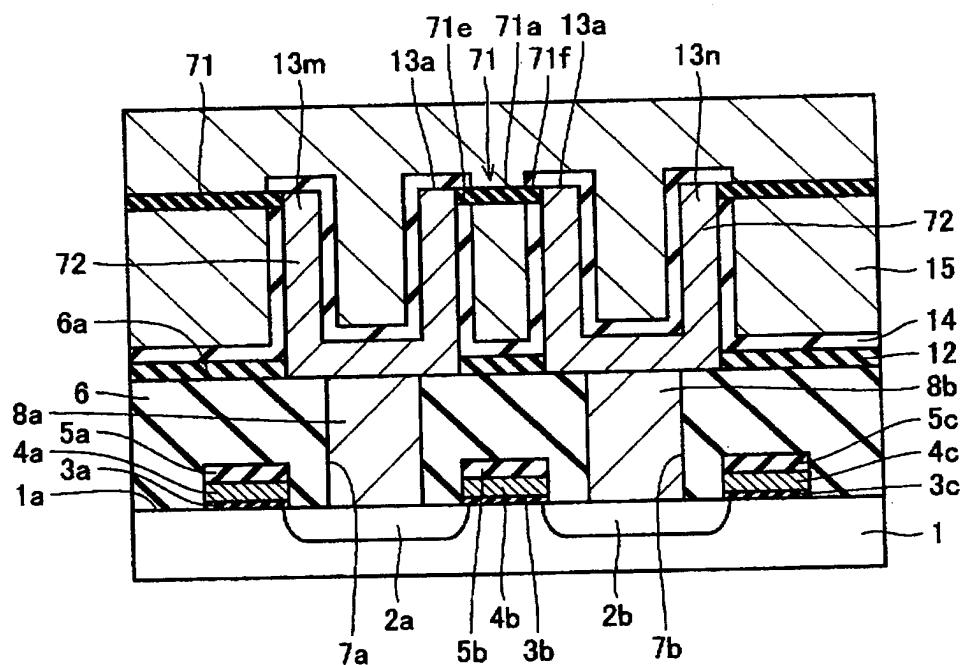
【図32】



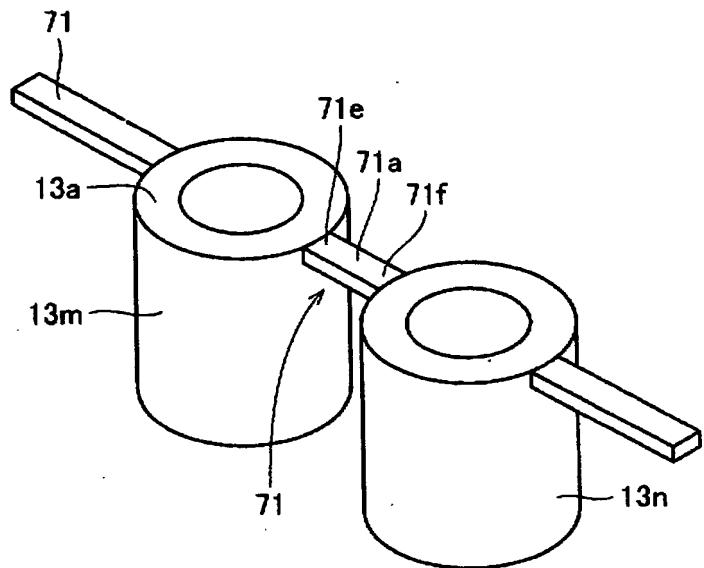
【図33】



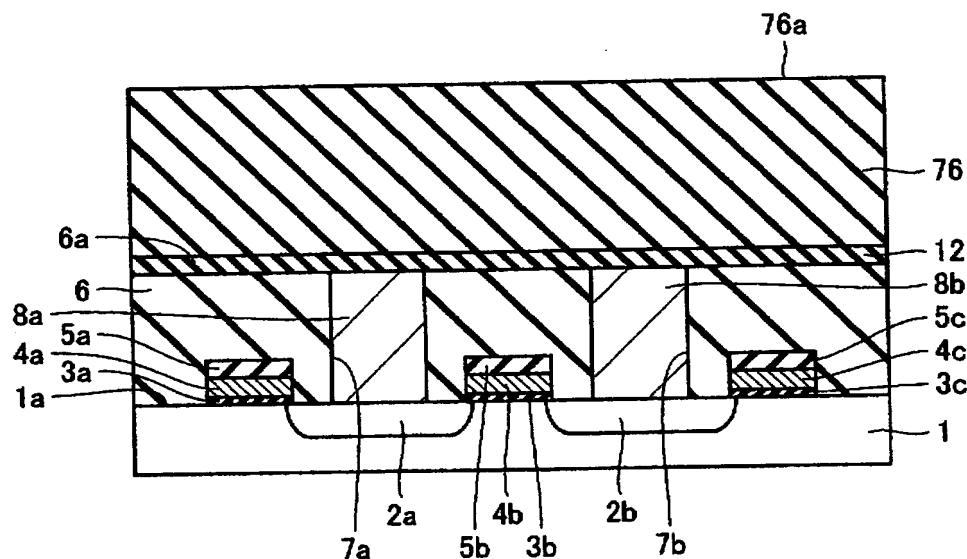
【図34】



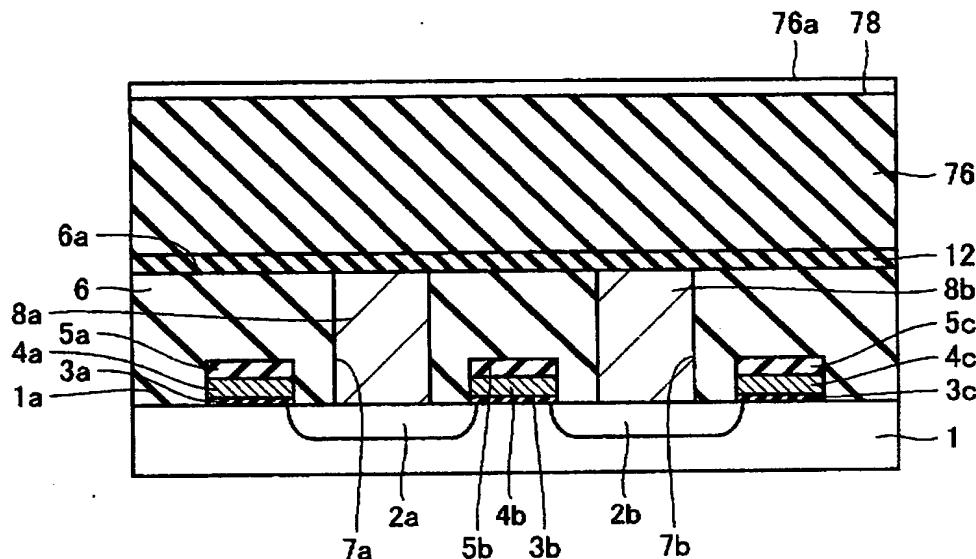
【図35】



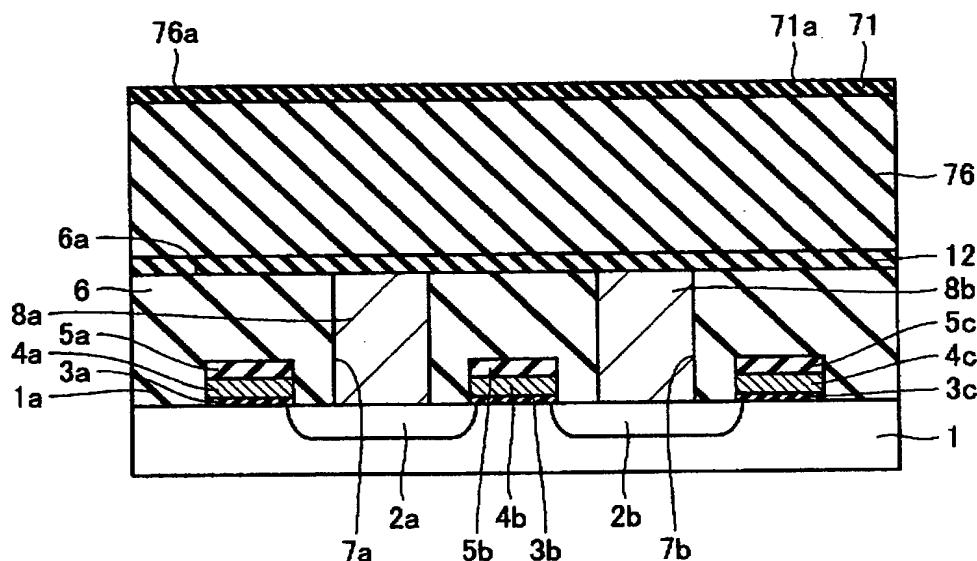
【図36】



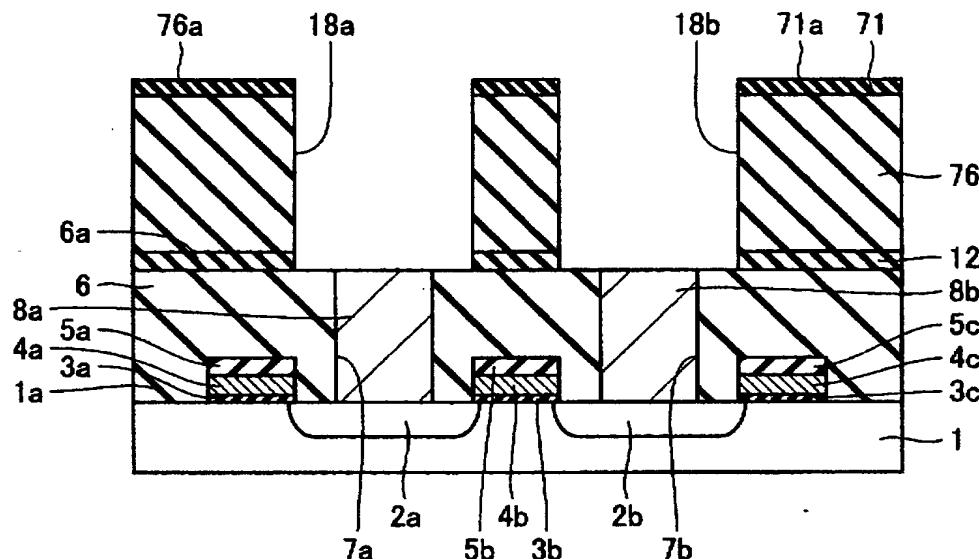
【図37】



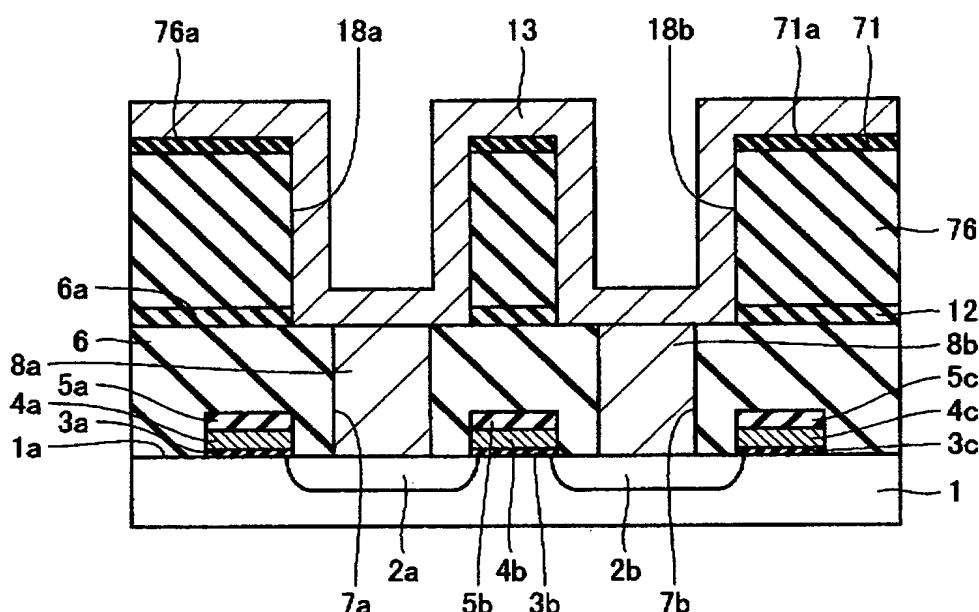
【図38】



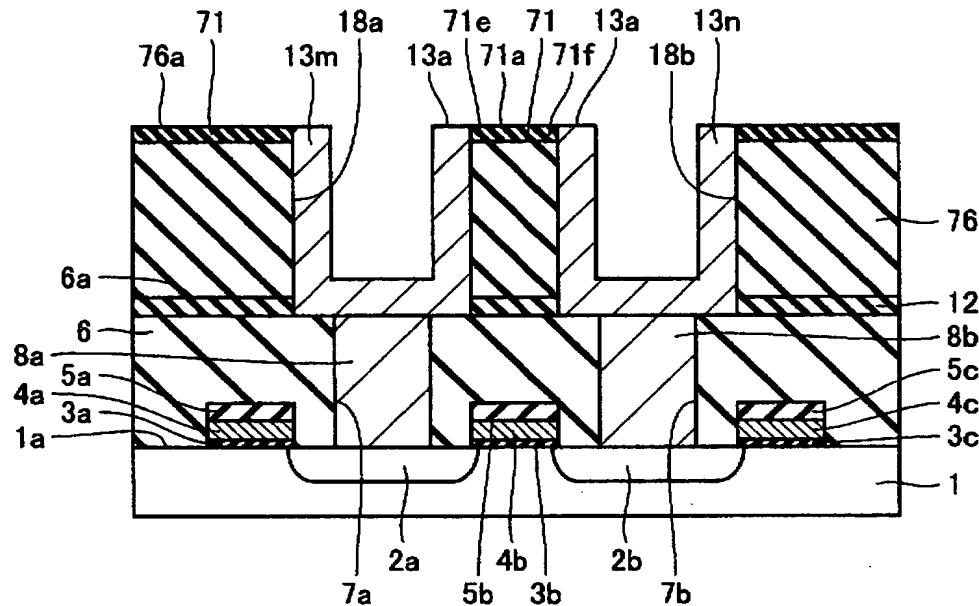
【図39】



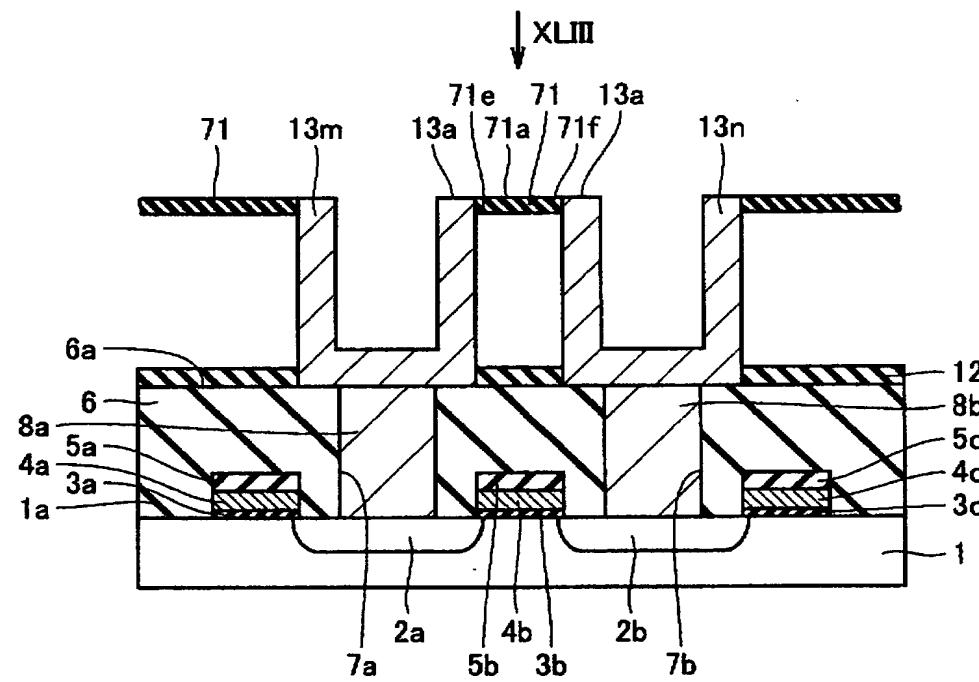
【図40】



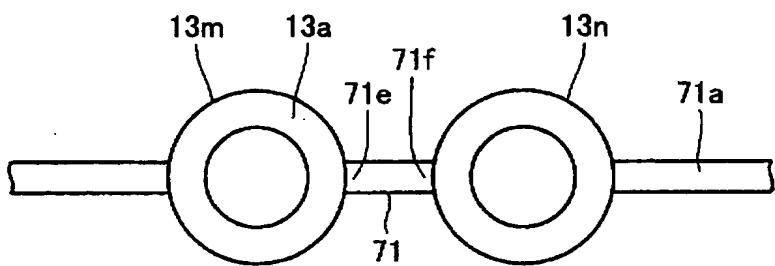
【図4 1】



【図4 2】



【図43】



【書類名】 要約書

【要約】

【課題】 半導体装置の微細化を実現するとともに、所望のキャパシタ構造を得ることによって信頼性の高い半導体装置を提供する。

【解決手段】 半導体装置は、主表面1aを有するシリコン基板1と、頂面6aとシリコン基板1に達するコンタクトホール7とを有し、シリコン基板1の主表面1a上に形成された層間絶縁膜6と、側面10bとその側面10bに連なる頂面10aとを有し、コンタクトホール7を充填する導電膜11と、導電膜11の頂面10aおよび側面10bに接触する下部電極13と、下部電極13上に形成された誘電体膜14と、誘電体膜14上に形成された上部電極15とを備える。導電膜11が有する頂面10aは、シリコン基板1の主表面1aからの距離がシリコン基板1の主表面1aから層間絶縁膜6の頂面6aまでの距離よりも大きい位置に設けられている。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社